

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002247593 A**

(43) Date of publication of application: **30.08.02**

(51) Int. Cl.
H04N 9/09
H04N 5/232
H04N 5/92

(21) Application number: **2001040500**

(22) Date of filing: **16.02.01**

(71) Applicant: **OLYMPUS OPTICAL CO LTD**

(72) Inventor:
INOUE ATSUSHI
INAGAKI OSAMU
NAKAJIMA SHINICHI
SHIBAZAKI HIROKI

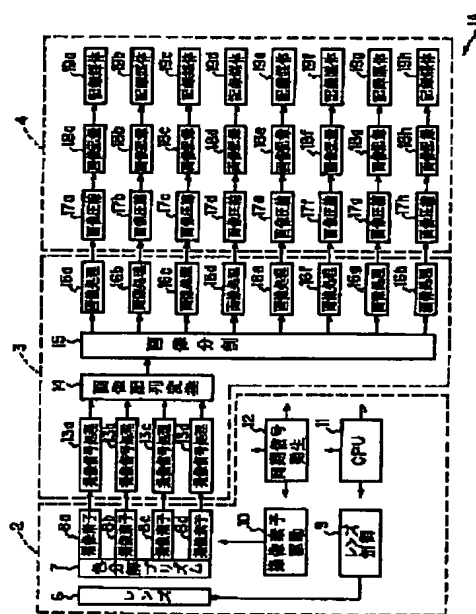
(54) IMAGE PROCESSOR

(57) Abstract

PROBLEM TO BE SOLVED: To provide an image processor and an image processing method capable of executing high speed processing or the like for a highly accurate image at a moving picture rate or the like.

SOLUTION: Highly accurate image pickup is executed by using a plurality of image pickup elements 8a to 8d, and after converting respective image pickup outputs into a digital image, the digital image is divided into a plurality of image areas by an image division circuit 15 and the image processing of respective image areas is executed in parallel. Even in the case of a highly accurate image, high speed image processing can be executed at the moving picture rate.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-247593
(P2002-247593A)

(43)公開日 平成14年 8月30日 (2002.8.30)

(51)Int.Cl.⁷

H 0 4 N 9/09
5/232
5/92

識別記号

F I

H 0 4 N 9/09
5/232
5/92

テーマコード* (参考)

A 5 C 0 2 2
Z 5 C 0 5 3
C 5 C 0 6 5
H

審査請求 未請求 請求項の数21 O L (全 29 頁)

(21)出願番号 特願2001-40500(P2001-40500)

(22)出願日 平成13年 2月16日 (2001.2.16)

(71)出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷 2丁目43番 2号

(72)発明者 井上 淳

東京都渋谷区幡ヶ谷 2丁目43番 2号 オリ
ンパス光学工業株式会社内

(72)発明者 稲垣 修

東京都渋谷区幡ヶ谷 2丁目43番 2号 オリ
ンパス光学工業株式会社内

(74)代理人 100076233

弁理士 伊藤 進

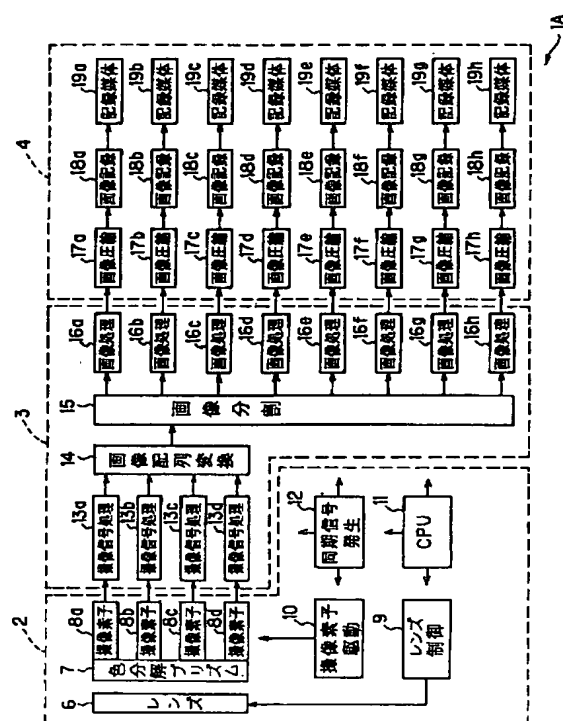
最終頁に続く

(54)【発明の名称】 画像処理装置

(57)【要約】

【課題】 高精細画像を動画レート等で高速の処理等が可能な画像処理装置及び画像処理方法を提供する。

【解決手段】 複数の撮像素子 8 a ~ 8 d を用いて高精細な撮像を行い、それらの各撮像出力に対してデジタル画像にした後、画像分割回路 1 5 で複数の画像領域に分割し、各画像領域に対して並列に画像処理を行うようにして、高精細な画像の場合においても動画レートで高速の画像処理ができるようにした。



【特許請求の範囲】

【請求項 1】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、
画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を圧縮するための画像圧縮手段、
を備えることを特徴とする画像処理装置。

【請求項 2】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を圧縮するための画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録するための画像記録手段を備えることを特徴とする画像処理装置。

【請求項 3】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を圧縮するための画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録するための画像記録手段、
前記画像処理手段から出力された画像を所望の画素数に変換する画像変換手段、
各画像変換手段からの画像を合成し表示装置に出力するための表示処理手段を備えることを特徴とする画像処理装置。

【請求項 4】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を圧縮するための画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録するための画像記録手段、

記録媒体に記録された圧縮画像を読み出すための画像再生手段、
読み出した画像を伸長するための画像伸長手段、
前記画像伸長手段から出力された画像を所望の画素数に変換する画像変換手段、
各画像変換手段からの画像を合成し表示装置に出力するための表示処理手段を備えることを特徴とする画像処理装置。

【請求項 5】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、
画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を圧縮するための画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録するための画像記録手段、
記録媒体に記録された圧縮画像を読み出すための画像再生手段、
読み出した画像を伸長するための画像伸長手段、
前記画像伸長手段から出力された画像と、前記画像処理手段から出力された画像とを、選択して所望の画素数に変換する画像変換手段、
各画像変換手段からの画像を合成し表示装置に出力するための表示処理手段を備えることを特徴とする画像処理装置。

【請求項 6】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、画像を領域毎に分割する第 1 の画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を合成するための画像合成手段、
画像合成手段より出力された画像を分割するための第 2 の画像分割手段、
前記画像分割手段から出力された画像を圧縮するための画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録するための画像記録手段、
を備えることを特徴とする画像処理装置。

【請求項 7】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順序を変換する画像配列変換回路、画像を領域毎に分割する第 1 の画像分割手段、

分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を合成するための
画像合成手段、
画像合成手段より出力された画像を分割するための第2
の画像分割手段、
前記画像分割手段から出力された画像を圧縮するための
画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録
するための画像記録手段、
前記画像処理手段から出力された画像を所望の画素数に
変換する画像変換手段、
各画像変換手段からの画像を合成し表示装置に出力する
ための表示処理手段、
を備えることを特徴とする画像処理装置。

【請求項8】 複数の撮像素子を用いて画像を得る画像
処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順
序を変換する画像配列変換回路、画像を領域毎に分割す
る第1の画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を合成するための
第1の画像合成手段、
画像合成手段より出力された画像を分割するための第2
の画像分割手段、
前記画像分割手段から出力された画像を圧縮するための
画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録
するための画像記録手段、記録媒体に記録された圧縮画
像を読み出すための画像再生手段、
読み出した画像を伸長するための画像伸長手段、
前記画像伸長手段から出力された画像を合成するための
第2の画像合成手段、
画像合成手段より出力された画像を分割するための第3
の画像分割手段、
前記画像分割手段から出力された画像を所望の画素数に
変換する画像変換手段、各画像変換手段からの画像を合
成し表示装置に出力するための表示処理手段を備えるこ
とを特徴とする画像処理装置。

【請求項9】 複数の撮像素子を用いて画像を得る画像
処理装置において、
各撮像素子毎に設けられる撮像信号処理回路、
前記撮像信号処理回路から出力される信号の読み出し順
序を変換する画像配列変換回路、
画像を領域毎に分割する第1の画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を合成するための
第1の画像合成手段、
画像合成手段より出力された画像を分割するための第2
の画像分割手段、

前記画像分割手段から出力された画像を圧縮するための
画像圧縮手段、
前記画像圧縮手段から出力された画像を記録媒体に記録
するための画像記録手段、
記録媒体に記録された圧縮画像を読み出すための画像再
生手段、
読み出した画像を伸長するための画像伸長手段、
前記画像伸長手段から出力された画像を合成するための
第2の画像合成手段、
画像合成手段より出力された画像を分割するための第3
の画像分割手段、
前記第3の画像分割手段から出力された画像と、前記画
像処理手段から出力された画像とを、選択して所望の
画素数に変換する画像変換手段、
各画像変換手段からの画像を合成し表示装置に出力する
ための表示処理手段を備えることを特徴とする画像処理
装置。

【請求項10】 前記撮像素子として16:9のアスペ
クトの撮像素子を用いると共に、前記画像分割手段は縦
方向短冊状に8n (nは整数) 分割することを特徴とす
る請求項1から9の何れか1つに記載の画像処理装置。

【請求項11】 前記画像分割手段は、周辺及び隣接領
域に対して、オーバーラップ部を設けて画像分割するこ
とを特徴とする請求項1から9の何れか1つに記載の画
像処理装置。

【請求項12】 前記オーバーラップ量は、隣接画素の
画像処理に必要な画素数を単位とすることを特徴とする
請求項1から9の何れか1つに記載の画像処理装置。

【請求項13】 前記表示処理手段は、全体画像から縮
小画像を生成し、表示装置に出力することを特徴とする
請求項6を除く請求項3から9のいずれか1つに記載の
画像処理装置。

【請求項14】 前記表示処理手段は、全体画像から一
部分を切出した部分画像を生成し、表示装置に出力する
ことを特徴とする請求項6を除く請求項3から9のいづ
れか1つに記載の画像処理装置。

【請求項15】 前記表示処理手段は、全体画像からの
縮小画像と、全体画像から一部分を切出した部分画像と
を、切換可能とすることを特徴とする請求項6を除く請
求項3から9のいずれか1つに記載の画像処理装置。

【請求項16】 前記表示処理手段は、レンズズーム倍
率を変化させた場合は、全体画像からの縮小画像へ自動
的に切換可能とすることを特徴とする請求項3、5、
7、9のいずれか1つに記載の画像処理装置。

【請求項17】 前記表示処理手段は、部分画像を表示
装置に出力している時に、レンズズーム倍率を変化させ
た場合は、部分切り出し位置を中心位置に設定すること
を特徴とする請求項3、5、7、9のいずれか1つに記載
の画像処理装置。

【請求項18】 前記表示処理手段は、全体画像からの

縮小画像と、全体画像から一部分を切出した部分画像とを切換可能な装置において、輪郭強調度を切換可能とすることを特徴とする請求項6を除く請求項3から9のいずれか1つに記載の画像処理装置。

【請求項19】 複数の撮像素子を用いて画像を得る画像処理装置において、
各撮像素子毎に設けられる撮像信号処理手段、
前記撮像信号処理手段から出力される信号の読み出し順序を変換する画像配列変換手段、
画像を領域毎に分割する画像分割手段、
分割された画像が各々入力される画像処理手段、
前記画像処理手段から出力された画像を合成するための画像合成手段、
画像合成手段より出力された画像を映像信号規格に準拠した画像として出力する画像分配手段、を備えることを特徴とする画像処理装置。

【請求項20】 前記撮像信号処理手段は、シェーディング補正手段を有することを特徴とする請求1から9及び19のいずれか1つに記載の画像処理装置。

【請求項21】 前記表示処理手段は、部分画像を表示装置に出力している時に、レンズズーム倍率を変化させた場合は、部分切り出し位置を徐々に中心位置に向かって移動とすることを特徴とする請求項3、5、7、9のいずれか1つに記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はTVカメラ等に用いられる複数の撮像素子により高精細な画像を得る画像処理装置に関する。

【0002】

【従来の技術】電子カメラ等においては、撮像素子を内蔵した撮像装置が採用されている。また、表示装置やプリンタ等の高精細画像化の進展に伴い、より画質の良い高精細画像を撮像できる撮像装置が望まれる状況にある。このため、従来技術として例えば、特開昭60-154781号公報には、複数の撮像素子を用いることにより、高精細画像を得る撮像装置が開示されている。

【0003】

【発明が解決しようとする課題】（請求項1における課題）しかし、この様な撮像手段によって得られた高精細画像を動画レートで処理するには、現状の画像装置の処理速度では、実現困難である。

（請求項2における課題）従来技術では、特開昭60-154781に示されてあるように、複数の撮像素子を用いて高精細画像を得る撮像手段が既に知られている。しかし、この様な撮像手段によって得られた高精細画像を動画レートで記録するには、現状の記録装置の記録速度では、実現困難である。

【0004】（請求項3における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をも

つ画像処理装置において、現状では得られた高精細画像をそのまま表示できる画素数の表示装置が無い為、撮影状況を確認することが困難であった。

（請求項4、5における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、分割して記憶した画像を再構築するには、専用の画像合成装置が必要であり、使い勝手が悪い。

【0005】（請求項6、7、8、9、における課題）

10 従来技術では、複数の撮像素子を用いて高精細画像を得る画像処理装置において、記録媒体の増設及び変更が困難であった。

（請求項10における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、映像信号のアスペクト比を16:9⇒4:3への画像変換の為には、4:3以上の画像としての再合成手段と切り出し手段が必要となる。

【0006】（請求項11における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、画像補間処理等で、周辺及び隣接画素での画質が低下する。

（請求項12における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、オーバーラップ量の最適化が必要である。

【0007】（請求項13における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、撮影範囲の把握が困難になる。

30 （請求項14における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、縮小画像では、焦点位置調整がやり難い。

【0008】（請求項15における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、縮小画像では、焦点位置調整がやり難い。

（請求項16における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、部分切り出し画像では、撮影範囲は判断できず、倍率調整がやり難い。

【0009】（請求項17、21における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、部分画像が撮影範囲周辺の場合でズームすると撮影範囲の把握が困難になる。

（請求項18における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、縮小画像で輪郭強調をかけすぎると、モアレも強調され、見にくい画像になる。

【0010】（請求項19における課題）従来技術では、撮像部と記録部を別構成にした場合、相互間を専用の伝送形式にするとシステムの柔軟性がなく、使い勝手が悪い。

（請求項20における課題）従来技術では、複数の撮像素子を用いて高精細画像を得る撮像手段をもつ画像処理装置において、分割状の高精細画像状態（Bayer配列画像）でシェーディング補正を行うと、分割場所毎に異なる補正係数を設定する必要があり、回路構成が複雑になる。

【0011】（発明の目的）本発明は上述した点に鑑みてなされたものであり、高精細画像を動画レート等で高速の処理することができたり、高精細画像を動画レートで記録することができたり、高精細画像を通常の表示装置で表示して撮影状況を容易に確認することができたり、記録した画像を容易に確認することができたり、撮影画像と記録した画像を容易に確認することができたり、撮像部と記録部を分離して、撮像部の小型化を可能にしたり、記録媒体の増設及び変更が容易にできるようにしたり、撮像部と記録部の伝送方式を、映像信号規格にすることで、システムの自在度が増したり、アスペクト比の画像変換が容易にできるようにしたり、画像補間処理等をして周辺及び隣接画素での画質が低下せず、高画質な画像を得ることができるとしたり、最適なオーバーラップ画素数により、回路規模の削減ができるようにしたり、撮影範囲の把握が容易になるようにしたり、焦点位置調整が容易になるようにしたり、使用者の所望する表示画像の切換ができるようにしたり、わざわざ切換なくても撮影範囲を把握できるようにしたり、部分きり出し画像のままで撮影範囲の中心位置を把握できるようにしたり、間引き表示、部分表示で各々適切な輪郭強調をかけることにより、適正な画質にできるようにしたり、簡単な回路構成でシェーディング補正を行えるようにしたり、撮像部と記録部間の伝送形態を映像信号規格にすることで、撮影画像を容易に表示装置に表示してシステムの拡張性が図れるような画像処理装置及び画像処理方法を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1の構成のように画像処理装置に並列撮像信号処理手段、画像配列変換手段、画像分割手段、並列画像処理・圧縮処理手段を設けることにより、高精細画像を動画レート等で高速の処理することができるようにしている。請求項2の構成のように画像処理装置に並列撮像信号処理手段、画像配列変換手段、画像分割手段、並列画像処理・圧縮・記録手段及び、記録媒体を設けることにより、高精細画像を動画レートで記録することができるようにしている。

【0013】請求項3の構成のように画像処理装置に画像縮小手段と、表示処理手段を設けることにより、高精細画像を通常の表示装置で表示可能になり、撮影状況を

容易に確認することができ、使い勝手が向上するようにしている。請求項4の構成のように画像処理装置自体に分割記録画像を再構築する機能を設けることにより、記録した画像を容易に確認することができ、使い勝手が向上するようにしている。

【0014】請求項5の構成のように画像処理装置自体に、撮影画像と記録画像を選択して表示することにより、撮影画像と記録した画像を容易に確認することができ、使い勝手が向上するようにしている。請求項6、請求項7、請求項8、請求項9の構成のように撮像部と記録部を分離することで、撮像部の小型化が図れると共に、記録媒体の増設及び変更が容易になる。

【0015】請求項10の構成のように16：9から4：3へのアスペクト比の画像変換が容易にできるようにしている。また、変換に使用しない領域の回路動作を停止させることで、低消費電力化が可能となるようにしている。

【0016】請求項11の構成のように画像補間処理等をして周辺及び隣接画素での画質が低下せず、高画質な画像を得ることができるとしている。請求項12の構成のように最適なオーバーラップ画素数により、回路規模の削減ができるようにしている。

【0017】請求項13の構成のように撮影範囲の把握が容易になり使い勝手が向上するようにしている。請求項14の構成のように焦点位置調整が容易になり使い勝手が向上するようにしている。

【0018】請求項15の構成のように使用者の所望する表示画像の切換ができ、使い勝手が向上するようにしている。請求項16の構成のようにわざわざ切換なくても撮影範囲を把握でき、使い勝手が向上するようにしている。

【0019】請求項17、21の構成のように部分きり出し画像のままで撮影範囲の中心位置を把握でき、使い勝手が向上。さらに、徐々に中心に向かうことで、違和感を少なくできるようにしている。請求項18の構成のように縮小画像表示、部分画像表示で各々適切な輪郭強調をかけることにより、適正な画質にできるようにしている。

【0020】請求項19の構成のように撮像部と記録部間の伝送形態を映像信号規格にすることで、撮影画像を容易に表示装置に表示でき、システムの拡張性が図れるようにしている。請求項20の構成のようにそれぞれの撮像信号処理手段でシェーディング補正を行うことで、補正係数を同一にすることができ、回路構成が簡略化できるようにしている。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

（第1の実施の形態）図1ないし図8は本発明の第1の実施の形態に係り、図1は第1の実施の形態の画像処理

装置の全体構成を示し、図2は撮像素子における色分解プリズム及び4つの撮像素子部分の構成を示し、図3は4つの撮像素子の結像位置での配置状態等の説明図を示し、図4は画像配列変換回路及び画像分割回路の機能の模式的な説明図を示し、図5は画像配列変換回路及び画像分割回路の具体的な構成を示し、図6は画像分割回路を構成するFIFOメモリへの書き込み及び読み出しのタイミング図を示し、図7はメモリ読み出しの詳細図を示し、図8は画像処理回路による作用説明図を示す。

【0022】図1に示す画像処理装置1Aは、撮像を行う撮像部2と、撮像した信号に対する信号処理を行う信号処理部3と、信号処理部3で信号処理した画像を記録する記録部4とから構成される。

【0023】撮像部2は、被写体の光学像を結ぶレンズ6と、このレンズ6に入射された光を色分離する色分解プリズム7と、この色分解プリズム7を経て光学像が結像される、例えば4つの撮像素子8a、8b、8c、8dと、レンズ6をフォーカス状態等に制御するレンズ制御回路9と、撮像素子8a、8b、8c、8dを駆動する撮像素子駆動回路10と、レンズ制御回路9等を制御するCPU11と、撮像素子駆動回路10等に基本クロック信号や水平及び垂直同期信号を供給する同期信号発生回路12とを有する。

【0024】また、信号処理部3は撮像素子8a～8dの出力信号に対してデジタル信号に変換する処理等を行う撮像信号処理回路13a～13dと、これら撮像信号処理回路13a～13dの出力信号から画像配列を行う画像配列変換回路14と、この画像配列変換回路14の出力信号から例えば8個の画像領域に分割する画像分割回路15と、画像分割回路15により分割された8個の画像領域の信号に対してRGBの色信号を生成する処理を行う画像処理回路16a～16hとを有する。

【0025】また、記録部4は、画像処理回路16a～16hの出力信号に対して画像圧縮処理を行う画像圧縮回路17a～17hと、画像圧縮回路17a～17hの出力信号に対して記録処理を行う画像記録回路18a～18hと、画像記録回路18a～18hの出力信号を記録する記録媒体19a～19hとを有する。なお、図1では画像圧縮回路17a～17hを記録部4に含めているが、信号処理部3に含めるようにしても良い。

【0026】図2は色分解プリズム7及び4つの撮像素子部分の構成を示す。レンズ6を経た（被写体からの反射）光は青（B）、G1（緑）、G2（緑）、赤（R）のプリズム7a、7b、7c、7dにより光分割されて撮像素子8a、8b、8c、8dにそれぞれ結像される。

【0027】また、これらの撮像素子8a～8dは図3（A）に示すように共通に結像される像に対して、1画素の1/2だけ、上下方向及び左右方向にずらしてプリズム7a、7b、7c、7dに接合されている。そし

て、4つの撮像素子8a～8dにより、1つの撮像素子の4倍の画素を持つ撮像素子と同等の機能を持たせている。

【0028】本実施の形態では各撮像素子8a～8dは、例えば200万画素の撮像素子をそれぞれ採用しているため、全体で800万画素の解像力を得られるようにしている。図4に示すように横1920、縦1080の画素数（この場合には、16:9のアスペクト）のものが採用されている。

【0029】図3（A）の一部の拡大図を図3（B）に示す。左上の隅の画素は撮像素子8a、その下及び右横は撮像素子8b、8c、撮像素子8bの右は撮像素子8dの画素となる。この4画素が横方向（水平方向）及び縦方向（上下方向）に繰り返した画素配列となっている。なお、図3（B）では簡単化のため撮像素子8a～8dにおける8部分を除いて符号a～dで示している。

【0030】図1に示すように撮像素子駆動回路10は同期信号発生回路12からの信号を受けて駆動信号を発生し、この駆動信号を4つの撮像素子8a～8dに共通に印加する。このため、4つの撮像素子8a～8dは並列駆動され、その出力信号はそれぞれ4つの撮像信号処理回路13a～13dに入力される。

【0031】撮像信号処理回路13a～13dでは、撮像素子8a～8dから並列的に同時に出力されるアナログ信号を並列的に処理して、デジタル信号に変換する。そして、画像配列を変換する画像配列変換回路14に出力する。

【0032】上述したように本実施の形態では4板式撮像素子8a～8dを共通の駆動信号で同じタイミングで駆動するので、駆動系の構成を簡略化できるし、出力信号に対する撮像信号処理回路13a～13dも共通に処理できやはり簡略化できるメリットがある。

【0033】上記画像配列変換回路14では、撮像信号処理回路13a～13dから同時に出力される各色の画像信号に対し、配列変換を行い、ベイア配列の画像信号を生成する。

【0034】つまり、図4に模式的に示すように撮像素子8a～8dから読み出されたB、G1、G2、Rの画像信号が画像配列変換回路14に入力される。この場合、各画像信号は水平方向には1920画素、垂直方向には1080画素の画像信号であり、画像配列変換回路14により配列変換を行って、水平方向には3840画素、垂直方向には2160画素のベイア配列の画像信号を生成する。

【0035】この画像配列変換回路14の出力信号は画像分割回路15に入力され、この画像分割回路15は後段側でリアルタイムに処理が行えるように、複数の領域の画像（信号）、具体的には8個の画像（信号）に分割する。

【0036】画像配列変換回路14により生成されたベ

イヤ配列の画像信号は、画像分割回路15により水平方向に8個の領域に分割される。つまり、垂直方向には分割を行わないで、水平方向には8等分して8個の領域に分割する（以下で説明するように、実際には画像配列変換と画像分割とが平行して行われる）。

【0037】図5は画像配列変換回路14及び画像分割回路15の具体的な構成を示す。図5では画像配列変換回路14及び画像分割回路15を14&15で示している。例えば74.25MHzで撮像信号処理回路13d、13b、13c、13aからそれぞれ出力されるR、G1、G2、Bの画像信号は配線ラインを経て8個の画像分割構成回路（以下では簡単化のため画像分割回路と略記）15a~15hに入力される。

【0038】なお、画像配列変換回路14は実際には、画像分割回路15a~15hに取り込ませるタイミングを調整するもので構成される（画像分割回路15a~15hに取り込まれるR、G1、G2、Bの画像信号を合わせたものが図4に示す水平方向には3840画素、垂直方向には2160画素のベイヤ配列の画像信号となり、実際には画像配列変換と画像分割とが平行して行われる）。

【0039】例えば画像分割回路15aは、4個2組つまり8個のFIFOメモリ22と、4つの第1セクタ23（図5では2組のSEL RG、SEL BG）と、2つの第2セクタ24（図5では2組のSEL RB）と、さらに第3のセクタ25（図5ではSEL F）とから構成され、第3のセクタ25の出力信号は画像処理回路16aに入力される。他の画像分割回路15b~15hも同様の構成である。

【0040】FIFOメモリ22への書き込み及び読み出しはメモリコントロール部26の制御下で行われる。この場合、画像分割回路15a~15hに設けた全てのFIFOメモリ22は、4個を単位として書き込みが行われる。つまり、全てのFIFOメモリ22は、4個を単位としたF1_1、からF1_8のものと、F2_1、からF2_8までのもので構成される。ここで、例えばF1_1は、4個の画像（信号）、R、G1、G2、Bをそれぞれ同時に書き込むのに使用されるF1_1_R、F1_1_G1、F1_1_G2、F1_1_Bを有する。他も同様である。

【0041】図6はFIFOメモリ22への書き込み及び読み出しの詳細なタイミング図を示す。図6に示すように74.25MHzのクロックにより、水平同期信号HDに同期して、撮像信号処理回路13d、13b、13c、13aから同時に（並列に）R、G1、G2、Bの信号がFIFOメモリ22に入力される。なお、1水平期間は74.25MHzのクロックの周期をTとすると、2200Tとなり、その内の1920Tが有効画素の信号入力期間となる。

【0042】図6では最初の水平期間に入力されるR、

G1、G2、Bの信号をR_0、G1_0、G2_0、B_0、次の水平期間に入力される信号をR_1、G1_1、G2_1、B_1で示している。

【0043】そして、74.25MHzのライトクロックで、有効画素期間1920Tを8分割するようにF1_1、からF1_8のFIFOメモリ22が順次書き込み状態に設定され、それぞれ240画素分の信号が順次記憶される。次の水平期間には、F2_1、からF2_8のFIFOメモリ22が順次書き込み状態に設定され、同様にそれぞれ240画素分の信号が順次記憶される。

【0044】また、F2_1、からF2_8のFIFOメモリ22に書き込みが行われている期間に、74.25MHzの1/4の18.56MHzのリードクロックでF1_1_G2、F1_1_Bと、F1_1_R、F1_1_G1とが順次読み出される。

【0045】そして、F1_1_G2、F1_1_Bは第1のセクタ23（具体的にはSEL BG）が18.56MHzの2倍の37.12MHzで切り替えられることにより、その出力は第2のセクタ24（具体的にはSEL RB）に入力される。

【0046】また、F1_1_R、F1_1_G1も第1のセクタ23（具体的にはSEL RG）が37.12MHzで切り替えられることにより、その出力は第2のセクタ24（具体的にはSEL RB）に入力される。

【0047】さらに第2のセクタ24、具体的にはSEL RBと、第3のセクタ25、具体的にはSEL Fが図6に示すように切り替えられることにより、F1_1_G2、F1_1_Bから読み出された信号B_0、G2_0が37.12MHzで出力され、画像処理回路16i（i=a~h）に入力される。また、同様にF1_1_R、F1_1_G1から読み出された信号G1_0、R_0が37.12MHzで出力され、画像処理回路16iに入力される。

【0048】次の水平期間になると、F1_1、からF1_8のFIFOメモリ22が順次書き込み状態に設定され、それぞれ240画素分の信号が順次記憶される。この期間には、F2_1、からF2_8のFIFOメモリ22が読み出し状態となる。そして、B_1、G2_1と、G1_1、R_1との信号が順次出力される。

【0049】図7はメモリ読み出しの詳細なタイミング図を示す。F1_1_G2及びF1_1_Bはリードクロックにより並列に（同時に）240画素分読み出される。図7ではF1_1_BからB1、2、…、240が出力され、F1_1_G2からG2_1、2、…、240が出力されることを示している。

【0050】その後、F1_1_R、F1_1_G1がリードクロックにより240画素分読み出される。

【0051】そして、リードクロックの2倍でSEL BGを切り替えることにより、並列して出力されたBとG2を交互に2倍の速度で出力させる。つまり、BとG

10

20

30

40

50

2 が繰り返された480画素分の信号が出力される。

【0052】また、SEL RGも同様に切り替えることにより、並列して出力されたRとG1を交互に2倍の速度で出力させる。つまり、RとG1が繰り返された480画素分の信号が出力される。このSEL BGの出力信号はSEL RBとSEL Fを経て出力され、SEL RGの出力信号はSEL RBとSEL Fを経て出力される。

【0053】このようにして、水平方向にBとG2が繰り返された480画素分の信号と、RとG1が繰り返された480画素分の信号が出力される。つまり、図4に示したようなベイヤ配列の信号が得られる。

【0054】画像処理回路16iでは各画素に対してRGBの信号を生成する処理を行う。つまり、上述した各画素は1つの色信号成分のみを有し、他の2つの色信号成分が欠けているので、周囲の画素の信号を用いて不足する色信号を生成する。

【0055】図8はその作用説明図を示す。図8(A)は1つの画像処理回路16iに入力されるベイヤ配列の画素を示し、この配列の画素から図8(B)、(C)、(D)に示すようにRGB成分を持つ画素の信号を生成する。図8(A)では例えばRの画素を中心として、その周囲の5×5画素を用いて隣接するRの信号を生成する。

【0056】このようにして、画像処理回路16iにより画像処理された信号は画像圧縮回路17iに輸入されてJPEG或いはMPEG等の圧縮方法で圧縮され、画像記録回路18iにより記録媒体19iに記録可能な信号にされて、それぞれハードディスク等のように不揮発性で大容量の記録媒体19iに記録される。

【0057】以上説明したように本実施の形態によれば、画素数が多い、高精細な画像に対して、複数の画像領域に分割して、分割画像に対してそれぞれ色信号生成処理、等を行うようにしているので、高精細画像に対しても動画レートで高速で処理することができる。

【0058】また、記録部4でも、分割された分割画像に対して画像圧縮、画像記録処理を行うようにしているので、分割しない場合には動画レートで処理できないような高精細画像の場合にも動画レートで処理できる。

【0059】換言すると、複数の画像に分割してそれらを並列で処理することにより、各分割画像での処理速度を低減できる。従って、速度の遅い、回路素子等も使用でき、低コスト化することもできる。

【0060】また、記録媒体19a~19hも複数採用することにより、1つでは記録レートを越えるような高精細画像の圧縮データの場合にも、動画レートで記録することができる効果もある。また、複数の領域に画像分割した場合、分割画像の画素配列を全て同じものとするにより、同一の構成のもので使用できると共に、同期して並列処理する場合の構成、制御を簡略化できる。

従って、コストの削減も可能となる。

【0061】(第2の実施の形態)次に本発明の第2の実施の形態を図9ないし図20を参照して説明する。図9は本発明の第2の実施の形態の画像処理装置の構成を示し、図10は表示処理回路の詳細な構成を示し、図11は高精細画像から間引きを行い間引き画像の表示の機能の説明図を示し、図12は図11の動作説明図を示し、図13は部分画像表示の機能の説明図を示し、図14は図13の動作説明図を示し、図15は切換スイッチの操作により、間引き画像と部分画像とを切り換えて表示する作用を示し、図16はズーム倍率を変化させる操作を行った場合に間引き画像を表示させる作用を示し、図17は部分画像を表示している時にズーム倍率を変化させた場合の作用を示し、図18はアスペクトが異なる表示手段にそれぞれ表示可能な画像を容易に出力できる説明図を示し、図19は第1変形例の画像処理装置の構成を示し、図20は第2変形例の画像処理装置の構成を示す。

【0062】図9に示す第2の実施の形態の画像処理装置1Bは図1の画像処理装置1Aにおいて、さらに表示部5を設けた構成となっている。つまり、画像処理回路16iの出力信号は表示部5を形成する画像変換回路部30の画像変換回路30iに輸入され、画像変換回路30iによって所望の画素数の画像に変換された後、表示処理回路31に輸入され、表示装置32に表示可能な信号処理が行われて表示装置32で表示されるようにしている。

【0063】また、本実施の形態ではレンズ6はズームレンズで構成され、ズーム倍率変更手段20を操作することで、ズーム倍率を変更できるようにしている。ズーム倍率変更手段20の信号はCPU11に輸入され、その操作に応じたズーム倍率に変更する制御を行う。

【0064】また、表示の切換を行う表示切換SW34が設けてあり、その切換指示信号はCPU11に輸入され、CPU11は切換指示信号に応じた制御動作を行う。つまり、表示切換SW34により以下で説明するように縮小画像として例えば間引き画像を表示させたり、(全画像における)一部の画像部分、つまり部分画像を表示させたりすることを選択できる。

【0065】図10は表示処理回路31の構成を示す。画像変換回路30a~30hからの出力信号はセクタ33を経て8個2組のFIFOメモリ(1)、FIFOメモリ(2)に輸入される。2組のFIFOメモリ(1)、FIFOメモリ(2)はFIFOコントローラ35により、ライト/リードが行われる。2組のFIFOメモリ(1)、(2)から読み出された信号はセクタ36a、36bを経てさらに共通のセクタ37から出力される。

【0066】このセクタ37の出力は走査変換部38を経て4つのフレームメモリ(1)~(4)に一時格納

される。この場合、間引きの場合には2つ、部分的な表示の場合にはフレームメモリ(1)～(4)が使用される。そして、所定のタイミングで読み出されて走査変換部38を通り、DAC39でアナログの映像信号に変換されて表示装置32に出力される。

【0067】図11は表示切換SW34により縮小画像、具体的には水平及び垂直方向に画素を間引いて表示する間引き画像の表示指示を行った場合における間引き画像表示の場合の作用説明図である。図11の水平方向に480、垂直方向に2160の画素数の符号①から⑧で示す8個の画像は両方向に間引かれて水平及び垂直方向に1/2、つまり水平方向に240、垂直方向に1080の画素数の8個の画像に変換されて水平方向に1920、垂直方向に1080の画素数の画像に変換されてハイビジョン用の表示装置32に表示される。

【0068】図12はこの場合の動作説明図を示す。図12に示すようにハイビジョンテレビ(HDTV)での水平期間(2200T)に対して、画像変換回路30a～30hの水平期間(1100T)はその1/2となっている。

【0069】そして、HDTVの水平期間(2200T)の前半に相当する期間(1100T)に、画像変換回路30a～30hから出力されるRGBの信号をFIFOメモリ(1)(図12の1で示すものから8で示すものまでを同時)に間引きながら書き込み、その後半の期間(1100T)では書き込みを行わないで1ライン分間引く。次の前半の期間には同様に他方のFIFOメモリ(2)に書き込み、その後半の期間では書き込みを行わないで、1ライン分間引く。

【0070】このようにして、ハイビジョンテレビでの水平期間の前半の期間に交互にFIFOメモリ(1)、(2)に書き込むことにより、各FIFOメモリ(1)、(2)には水平方向と垂直方向に1/2ずつ間引いた間引き画像が格納される。

【0071】そして、FIFOメモリ(2)に書き込んでいる水平期間に書き込みを行った速度の倍のクロックで、FIFOメモリ(1)をその構成要素1で示すものから8で示すものの順に倍のクロックで読み出す。読み出された信号は一時、フレームメモリ(1)に書き込まれ、次のフレームの期間に、その書き込んだ画像を読み出して、ハイビジョンテレビの表示装置32で表示する。

【0072】一方、フレームメモリ(1)に書き込んでいるフレーム期間では、その前のフレームで書き込まれているフレームメモリ(2)から読み出して、ハイビジョンテレビの表示装置32で表示する。

【0073】図13は部分画像表示の指示を行った場合における部分画像表示のイメージを示す。図13の水平方向に480、垂直方向に2160の画素数の符号①から⑧で示す8個の画像は符号①から④の左隅の部分

り出され、垂直方向に1080の画素数の8個の画像に変換されて水平方向に1920、垂直方向に1080の画素数の画像に変換されてハイビジョン用の表示装置に表示される。

【0074】図14はこの場合の動作説明図を示す。図14に示すようにハイビジョンテレビでの水平期間(2200T)に対して、画像変換回路30a～30hの水平期間(1100T)はその1/2となっている。

【0075】そして、水平期間(1100T)に4つの画像変換回路30a～30dから出力されるRGBの信号(例えばラインnの画像)をFIFOメモリ(1)の半分(例えば図14の1から4で示すものまでを同時)に書き込み、次の水平期間にはラインn+1の画像をこのFIFOメモリ(1)の残りの半分(図14の5から8で示すものまでを同時)に書き込む。

【0076】次のHDTVの水平期間ではFIFOメモリ(2)を用いて、ラインn+2とn+3の画像を同様に書き込む。このようにしてHDTVの水平期間毎に①から④の画像を2ライン分書き込む。また、一方のFIFOメモリに書き込みを行っている期間に他方のFIFOメモリから読み出しを行う。

【0077】例えばFIFOメモリ(2)にラインn+2とn+3の画像の書き込みを行っている水平期間においては、ラインnとn+1とをそれぞれ書き込んだ4個ずつのFIFO(1)を読み出す。なお、読み出しは書き込みの場合の倍のクロックで読み出す(書き込み時は37.13MHz、読み出し時は74.25MHz)。

【0078】読み出された信号は一時、フレームメモリ(1)と(2)に書き込まれる。また、フレームメモリ(1)と(2)に書き込みを行っている期間に、フレーム(3)と(4)の画像を読み出して表示装置32に表示する。このように本実施の形態では間引き画像による縮小画像や一部分の画像、つまり部分画像を表示装置32で表示できるようにしている。

【0079】図15は表示切換SW34により全体画像から間引き画像、部分画像を表示する動作のフローチャートを示す。表示の動作が開始すると、ステップS1に示すようにCPU11は表示切換SW34の指示信号をモニタする。例えば最初のSW操作34による間引き指示の有無をモニタする。

【0080】そして、指示がないと、ステップS4に移り、CPU11は表示出力として部分画像の表示を行う制御を行う。一方、表示切換SW34が操作されると、間引き指示信号と判断して、ステップS2に示すように表示出力を間引きにする。その後、ステップS3に示すようにCPU11は表示切換SW34の操作による部分画像の指示かをモニタする。

【0081】そして、表示切換SW34が操作されていないと、ステップS2に戻り、その表示状態を維持し、表示切換SW34が操作されると、部分表示の指示と判

断して、ステップS4に示すように表示出力を部分画像にして部分画像の表示を行い、ステップS1に戻る。また、本実施の形態では、ズーム倍率を変化させる操作を行った場合には、その操作信号がCPU11に入力され、CPU11はその操作時には全体画像から間引き画像に自動的に切り換えるようにしている。

【0082】この場合の動作のフローチャートを図16に示す。このフローチャートは図15において、さらにステップS4の処理の後に、ステップS5の（レンズ）ズーム位置の移動がありかを判断する処理が追加されて

いる。【0083】つまり、ステップS4の処理の後、ステップS5に進み、このステップS5でCPU11はズーム位置移動が有りかを判断し、移動があった場合には、ステップS2に戻り、間引き画像の表示を行わせる。一方、ズーム位置の移動がないとステップS3に移り、表示切換SW34の操作の有無をモニタする。このような処理を行うことにより、ズーム操作を行うと自動的に間引き画像の表示に切り換え、倍率調整を行い易くしている。

【0084】また、図16に示すような切り換えを行う代わりに、部分画像を表示している間にズーム倍率を変化させた場合に、表示している部分画像の切り出し位置を徐々に中心位置に向かって移動させるようにしても良い。

【0085】図17はこの場合の動作内容を示す。図17に示すフローチャートは図16のフローチャートにさらにステップS6とS7とを追加した処理を行う。つまり、ステップS5でズームレンズ位置の移動がされたかを判断して、移動がない場合にはステップS3に戻り、移動ありの場合にはステップS6に移り、切り出し位置の部分が中心か（否か）の判断を行う。

【0086】中心である場合にはステップS3に戻り、部分画像の表示を継続し、切り出し位置が中心でない場合にはステップS7に移り、部分画像の切り出し位置を中心方向に移動させる処理を行い、ステップS4に戻る。

【0087】そして、ズームレンズ位置の移動操作が行われていると、部分画像の切り出し位置を中心方向に移動させる処理を行い、ステップS4に戻る。このようにして、ズームレンズ位置の移動があると、部分画像の切り出し位置を中心方向に徐々に移動させるまた、既に図4で示しているが、本実施の形態では撮像素子8a～8dとして16：9のアスペクトの撮像素子を採用していると共に、画像分割回路15は縦方向に短冊状に8個に分割している。

【0088】つまり、図18に示すように縦方向に短冊状に8個の画像（①から⑧に示す画像領域）に分割している。従って、各領域の画像を画像処理回路16a～16hで画像処理して、表示装置32として16：9のアスペクトのモニタに出力することにより、そのアスペク

トの全画面に撮像した画像を表示することが容易にできる。

【0089】また、表示装置32が4：3のアスペクトのテレビジョンモニタの場合には、図18に示すように両側の端の画像領域①、⑧のものを除いて、画像領域②から⑦までの画像を採用することにより、4：3のアスペクトのテレビジョンモニタにも容易に表示できる。

【0090】つまり、本実施の形態によれば、16：9のアスペクトの表示装置32に対しては8個の画像処理回路16a～16hを使用することにより、その表示画面に適した画像を容易に生成でき、また4：3のアスペクトの表示装置32に対しては6個の画像処理回路16b～16gを使用することにより、その表示画面に適した画像を容易に生成できる。このように本実施の形態によれば、2つの異なるアスペクトの表示手段の場合にも簡単に対応できる。

【0091】なお、6個の画像処理回路16b～16gを使用する場合には2つの画像処理回路16a、16hの電源を遮断して低消費電力化することができる。なお、本実施の形態では8個に分割した場合で説明したが、8個の整数倍に分割しても良い。

【0092】図19は第1変形例の画像処理装置1Cの構成を示す。図9の画像処理装置1Bでは画像処理回路16a～16hの出力信号をそれぞれ画像変換回路30a～30hに入力して、表示装置32に表示する構成であったが、本実施の形態は記録媒体19a～19hに記録した画像を再生して表示できるようにしている。

【0093】このため、記録媒体19a～19hに接続して画像を再生する画像再生回路41a～41hと、この画像再生回路41a～41hの出力信号に対して伸張処理を行う画像伸張回路42a～42hとを設け、画像伸張回路42a～42hの出力信号を画像変換回路30a～30hに入力して表示装置32で表示できるようにしている。

【0094】図19は図9において、記録部4及び表示部5の他に、記録媒体19iに対して再生及び伸張の処理を行う再生伸張部40を設けた構成であり、図19では記録部4及び表示部5と再生伸張部40をまとめた部分を符号4&5&40で示している。その他は図9の構成と同様である。また、簡単化のため、図19以降では符号は一部のみ示している。この第1変形例によれば、記録媒体19a～19hに記録した画像を再生して表示できるので、記録画像を確認できる。

【0095】図20は第2変形例の画像処理装置1Dの構成を示す。この画像処理装置1Dは図19の画像処理装置1Cにおいて、さらに画像変換回路30a～30hには画像処理回路16a～16hの信号が入力されるようになっている。そして、図示しないスイッチ等により、記録媒体19iに記録された画像を再生して表示できると共に、画像処理回路16i側からの入力画像を表

示することもできるようにしている。その他は図 19 の構成と同様である。この第 2 変形例によれば、撮像した画像を表示できると共に、記録媒体 19a~19h に記録した画像を再生して表示することもできる。

【0096】(第 3 の実施の形態) 次に図 21 及び図 22 を参照して第 3 の実施の形態を説明する。図 21 は本発明の第 3 の実施の形態の画像処理装置の全体構成を示し、図 22 は画像合成回路の機能の説明図を示す。

【0097】図 21 に示す画像処理装置 1E は図 9 の画像処理装置 1B において、画像処理回路 16a~16h による複数の分割画像を 1 つの画像に合成する画像合成回路 45 を設けると共に、この画像合成回路 45 により合成された画像を複数の画像に分割する画像分割回路 46 を設け、この画像分割回路 46 により分割された分割画像を複数の画像圧縮回路 17a~17h で圧縮し、さらに画像記録回路 18a~18h で記録の処理を行い、記録媒体 19a~19h で記録する構成にしている。

【0098】図 22 は画像合成回路 45 の機能の説明図を示す。図 22 に示すように各画像処理回路 16a~16h による 8 個の分割画像は、R、G、B の色成分画像のサイズが例えば 480×2160 であり、これらの分割画像は画像合成回路 45 により合成されて 1 つのカラー画像、つまり 3 つの色成分画像となる。

【0099】図 22 の矢印で示すように、サイズが 3840×2160 の R、G、B の各色成分画像が生成される。本実施の形態によれば、撮像部 2、信号処理部 3 及び表示部 5 側と、記録部 4 側とを画像合成回路 45 及び画像分割回路 46 により分離して、コネクタ等で着脱可能にした、或いは分離し易い構成にしている。従って、記録部 4 側を着脱することにより、記録部 4 側、例えば記録媒体をより大容量のハードディスクの記録媒体に変更等することがし易く、拡張等するのに適した構成となる。なお、本実施の形態は図 9 の画像処理装置 1B に適用したが、例えば図 1 の画像処理装置 1A に適用しても良い。

【0100】図 23 は第 1 変形例の画像処理装置 1F の構成を示す。本変形例の画像処理装置 1F は図 21 に示す画像処理装置 1E において、さらに図 19 で示した再生伸張部 40 を設けている。つまり、記録媒体 19a~19h に圧縮記録された画像情報を画像再生回路 41a~41h で再生し、その出力信号に対して画像伸張回路 42a~42h で伸張している。

【0101】本変形例では画像伸張回路 42a~42h の出力の画像を画像合成回路 47 で 1 つの画像に合成している。この画像合成回路 47 は表示部 5 に設けた画像分割回路 48 と接続され、合成された画像をこの画像分割回路 48 で複数の画像に分割し、画像変換回路 30a~30h に入力され、その出力信号は画像処理回路 31 を経て表示装置 32 に入力される。

【0102】本変形例では撮像部 2 及び信号処理部 3 側

と、記録部 4 側とが着脱自在な構成であると共に、記録部 4 側と表示部 5 側とも着脱可能な構成にしている。従って、記録部 4 の記録媒体 19a~19h を変更したり、表示装置 32 等を変更したりすることが容易となる。また、使用する環境に応じて接続使用する記録部 4 或いは表示部 5 を変更したりして、より使い勝手の良いものを選択使用することもできる。

【0103】図 24 は第 2 変形例の画像処理装置 1G の構成を示す。この画像処理装置 1G は図 23 の画像処理装置 1F において、画像処理回路 16a~16h からの出力信号を画像変換回路 30a~30h に入力して、撮像した信号も表示装置 32 で表示できる構成にしたものである。本変形例によれば、第 1 変形例の作用効果の他に、さらに撮像した信号も表示装置 32 で表示できる。

【0104】なお、図 24 では画像処理回路 16a~16h からの出力信号を画像変換回路 30a~30h に入力する構成で示したが、画像合成回路 45 の出力を画像分割回路 48 に入力する構成にしても良い。つまり、画像合成回路 45 に対して、着脱自在となる記録部 4 の画像分割回路 46 を接続して、記録媒体 19a~19h に画像を記録することもできるし、画像合成回路 45 に対して、着脱自在の表示部 5 の画像分割回路 48 を接続して、撮像した画像を表示装置 32 で表示することもできるようにしても良い。

【0105】また、表示部 5 の画像分割回路 48 に 2 つのコネクタを設け、その 1 つは記録部 4 の画像合成回路 47 のコネクタに着脱自在となり、もう 1 つは信号処理部 3 の画像合成回路 45 のコネクタに着脱自在となるものでも良い。そして、選択スイッチを設けて、選択された一方のコネクタから入力される画像信号を表示装置 32 で表示するようにしても良い。

【0106】(第 4 の実施の形態) 次に図 25 ないし図 27 を参照して本発明の第 4 の実施の形態を説明する。図 25 は第 4 の実施の形態における画像分割をオーバーラップして分割する様子を示し、図 26 はその場合における画像分割回路を構成する FIFO メモリへの書き込み動作の説明図を示し、図 27 は各分割画像領域における端付近の画素に対してオーバーラップ部分の画素を画像処理に利用することの説明図を示す。

【0107】本実施の形態の画像処理装置は例えば図 1 の画像処理装置 1A と同じ構成であるが、以下に説明するようにオーバーラップして画像分割を行う点が異なる。つまり、図 25 に示すように画像分割回路 15 により例えば 8 個の画像領域①~⑧を分割画像として生成するが、この場合に斜線で示すように境界部分をオーバーラップするように分割する。また、両端の画像領域①及び⑧では実際に表示する画素の外側となる周辺画素も取り込むようにする。

【0108】例えば第 1 の実施の形態では図 25 のオーバーラップ無しで示すように分割画像の境界ではオーバ

10

20

30

40

50

ップしないが、本実施の形態ではオーバーラップ有りでするように分割画像の境界の外側の画素も含むように分割画像を生成する。

【0109】オーバーラップさせない場合には、画像分割回路15を構成するFIFOメモリ22には図6で示したタイミングチャートのようにライトを行っているが、このようにオーバーラップさせる場合には図26に示するようなタイミングチャートでライト動作を行う。

【0110】図6との比較から分かるようにライトパルスのパルス幅が広がっており、境界付近では隣接する2つのFIFOメモリ22が同時に書き込み状態になる。また、端のFIFOメモリ22もその端より外側の画素をライトするようにしている。

【0111】また、オーバーラップして取り込む画素数は図27に示すように隣接画素の画像処理に必要な画素数を単位として取り込む。例えば、図27に示すような場合には縦横にそれぞれ2画素、つまり2×2画素が配列の単位となっているので、この場合には境界から2画素分をオーバーラップ量とすれば良い。また、端の外側から取り込む画素数もこのオーバーラップ量と同じで良い。

【0112】このように各画像領域をオーバーラップさせる(但し両端ではその領域の外側の一部の領域を含む)ように各画像領域を形成することにより、各画像領域の信号から各画像処理回路16iにより1つの色成分から周辺の画素の色成分を用いて3つの色信号を補間により生成する画像処理を行う場合、各画像領域の端の画素の場合でも、その外側のオーバーラップ部分の画素を用いることにより、簡単かつ迅速に生成できる。

【0113】オーバーラップ部分が無いと、隣の画像領域から必要とされる画素を取り込むことが可能であるが、その取り込みのために各画像処理回路16iは平行して同時に処理することが出来なくなり、処理が複雑になり、また処理速度が低下してしまうことになる。また、両端となる2つの画像領域の外側に臨む端の画素ではその外側の画素を取り込んでいないので、この場合には画質が低下することにもなる。

【0114】これに対し、上述のように各画像領域のサイズより、その端での画素に対して補間により色信号の生成の画像処理に必要な画素サイズだけ、余分に各FIFOメモリ22に取り込んでおくことにより、簡単かつ迅速に画像処理ができる。また、画像処理に必要な画素サイズの画素数だけ取り込み、それより余分の画素数を取り込まないようにすることにより、回路規模を大きくしなくても済む。

【0115】(第5の実施の形態)次に図28ないし図30を参照して第5の実施の形態を説明する。図28は第5の実施の形態の画像処理装置の構成を示し、図29は輪郭強調回路の構成を示し、図30は動作内容のフローチャートを示す。図28に示す第5の実施の形態の画像処理装置1Hは図9の画像処理装置1Bにおいて、表

示処理回路31は輪郭強調を行う輪郭強調回路51を備えている。この輪郭強調回路51の構成を図29に示す。

【0116】輪郭強調回路51に入力される入力信号は遅延量を調整する遅延調整回路52に入力されると共に、ハイパスフィルタ(HPF)53に入力され、このHPF53の出力信号は乗算器54に入力される。HPF53は係数設定回路55からタップ係数が入力される。また、この係数設定回路55は乗算器54に乗算する際のゲイン係数を出力する。

【0117】乗算器54で乗算された後、コアリングレベル56に入力され、係数設定回路55からのコアリングレベル係数によりコアリングレベルを設定する。また、このコアリングレベル56の出力信号は振幅制限回路57に入力され、係数設定回路55からの振幅レベル係数を用いて振幅レベルが制限された後、加算器58に入力され、遅延調整回路52の出力信号と加算されて輪郭強調された信号が出力される。

【0118】上記係数設定回路55の各係数はCPU11により設定される。本実施の形態では、間引き画像と部分画像の選択に応じてCPU11は係数設定回路55の各係数を設定し、間引き画像では輪郭強調のレベルを小さくし、部分画像では輪郭強調のレベルを大きくする。

【0119】図30はこの場合の動作を示す。動作が開始すると、最初のステップS11でCPU11は表示切替SW34の操作による間引き指示がありかの判断を行い、この指示がないとステップS15に移り、逆に指示があると、次のステップS12に進む。

【0120】ステップS12ではCPU11は係数設定回路55に制御信号を送り、その輪郭強調係数を間引き画像用輪郭強調係数に設定した後、次のステップS13で表示出力を間引き画像にする、つまり間引き画像を表示装置32側に出力するように切り換える。

【0121】そして次のステップS14でCPU11は表示出力が部分画像の指示かの判断を行い、これに該当しない場合にはステップS13に戻り間引き画像の表示を継続し、逆に表示出力が部分画像にする指示が有ると次のステップS15でCPU11は係数設定回路55に制御信号を送り、その輪郭強調係数を部分画像用輪郭強調係数、より具体的には間引き画像の場合よりは輪郭強調のレベルを上げた設定にした後、次のステップS16で表示出力を部分画像にする、つまり部分画像を表示装置32側に出力するように切り換える。

【0122】そして次のステップS17でCPU11は表示出力が間引き画像の指示かの判断を行い、これに該当しない場合にはステップS16に戻り部分画像の表示を継続し、逆に表示出力を間引き画像にする指示が有るとステップS12に戻り、輪郭強調係数を間引き画像用輪郭強調係数に設定する。

【0123】このように間引き画像の場合と部分画像との場合では輪郭強調のレベル（強度、大きさ）を変更し、それぞれの画像に適した輪郭強調のレベルに設定することにより、間引き画像及び部分画像を表示した場合、各画像を鮮明に観察でき、モアレ等が発生してもそれを目立たないように表示できる。

【0124】（第6の実施の形態）次に図31及び図32を参照して第6の実施の形態を説明する。図31は第6の実施の形態の画像処理装置の構成を示し、図32はシェーディング補正の動作の説明図を示す。図31に示す第6の実施の形態の画像処理装置1Iは図9の画像処理装置1Bにおいて、撮像信号処理回路13a～13dに光学シェーディング補正を行うシェーディング補正回路56を設けている。その他は図9と同様の構成である。

【0125】図32（A）に示すように入射光の輝度レベルが光軸からの距離が変化しても一定であっても、受光面における輝度レベルは図32（B）のように光軸からの距離が大きくなるに従って小さくなる。

【0126】このため、本実施の形態では図32（C）に示すように光軸からの距離が大きくなるに従って、シェーディング補正回路56でのシェーディング補正する際の補正係数を大きくして、その補正後の輝度が図32（D）に示すように光軸からの距離が変化しても一定になるようにしている。このような光学シェーディング補正を行うようにして、周辺部が暗くなってしなうことの無い画像が得られるようにしている。

【0127】なお、シェーディング補正を後段側、例えば画像処理装置16a～16h側で行うことも可能であり、その場合には例えば図32（E）に示すように画像処理装置16a～16hでの分割された画像領域に応じて変化させなければならなくなり同一の回路で行いにくくなる。これに対し、図31に示すように画像を分割する前段側となる撮像信号処理回路13a～13dで行うと、同一の回路でそれぞれシェーディング補正ができ、回路を簡略化できる効果もある。

【0128】さらに光学シェーディングだけでなく、撮像素子毎の感度バラツキを補正するといった、いわゆるセンサシェーディング補正に対しても容易にその機能を実現できるようになる効果もある。

【0129】（第7の実施の形態）次に図33ないし図35を参照して第7の実施の形態を説明する。図33は第7の実施の形態の画像処理装置の構成を示し、図34は画像分配回路の第1の機能説明図を示し、図35は画像分配回路の第2の機能説明図を示す。図33に示す第7の実施の形態の画像処理装置1Jは図21の画像処理装置1Eにおいて、画像合成回路45の出力を画像分配回路61により、複数、具体的には映像信号に準拠した4個の画像にして4つの表示装置（1）62a～表示装置（4）62dに出力する構成にしている。以下では、

簡単化のため、表示装置（1）～（4）を用いる。

【0130】画像分配回路61は図34（A）に示すようにR、G、Bの全体画像を例えば太い分割線で示すように4つの領域の画像に分配して、同図34（B）に示すように4つの出力（1）～（4）を表示装置（1）～（4）に出力する。従って、図34（C）に示すように表示装置（1）～表示装置（4）を配置することにより、分配前と同様の全体画像を縮小することなく表示できる。

10 【0131】図35は変形例における画像分配回路61の機能を示す。この場合には図35（A）に示すようにR、G、Bの全体画像を例えば水平方向及び垂直方向に1画素づつ間引くように分配して、出力する。なお、図35（A）ではこの様子を示すために、例えば水平方向には画素単位で符号1と2で繰り返した画像の場合、1画素づつ間引くと符号1で示す画像になり、同様に垂直方向には、画素単位で符号1と3で繰り返した画像の場合、1画素づつ間引くと符号1の画素の画像になることを示す。

20 【0132】このように1画素づつ間引いた縮小画像を出力すると、図35（B）に示す4つの出力（1）～（4）は同じ画像出力となり、図35（C）に示すように同じ出力（1）～（4）が表示装置（1）～（4）に出力され、これらには同じ画像が表示される。

【0133】なお、上述の説明では複数の撮像素子を採用して、より高精細の画像を生成し、その高精細の画像を複数の画像領域に分割し、各分割した画像領域の画像をそれぞれ画像処理等するようにしているが、1つの高精細な画像を生成する撮像素子の出力信号に対して複数の画像領域に分割し、各分割した画像領域の画像をそれぞれ画像処理等するようにしても良い。

【0134】〔付記〕

1. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を圧縮するための画像圧縮工程、を備えることを特徴とする画像処理方法。

40 【0135】2. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を圧縮するための画像圧縮工程、前記画像圧縮工程から出力された画像を記録媒体に記録するための画像記録工程を備えることを特徴とする画像処理方法。

50 【0136】3. 複数の撮像素子を用いて画像を得る画

10

20

30

40

【0140】7. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する第1の画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を合成するための画像合成工程、画像合成工程より出力された画像を分割するための第2の画像分割工程、前記画像分割工程から出力された画像を圧縮するための画像圧縮工程、前記画像圧縮工程から出力された画像を記録媒体に記録するための画像記録工程、前記画像処理工程から出力された画像を所望の画素数に変換する画像変換工程、各画像変換工程からの画像を合成し表示装置に出力するための表示処理工程、を備えることを特徴とする画像処理方法。

【0141】8. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する第1の画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を合成するための第1の画像合成工程、画像合成工程より出力された画像を分割するための第2の画像分割工程、前記画像分割工程から出力された画像を圧縮するための画像圧縮工程、前記画像圧縮工程から出力された画像を記録媒体に記録するための画像記録工程、記録媒体に記録された圧縮画像を読み出すための画像再生工程、読み出した画像を伸長するための画像伸長工程、前記画像伸長工程から出力された画像を合成するための第2の画像合成工程、画像合成工程より出力された画像を分割するための第3の画像分割工程、前記画像分割工程から出力された画像を所望の画素数に変換する画像変換工程、各画像変換工程からの画像を合成し表示装置に出力するための表示処理工程を備えることを特徴とする画像処理方法。

【0142】9. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する第1の画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を合成するための第1の画像合成工程、画像合成工程より出力された画像を分割するための第2の画像分割工程、前記画像分割工程から出力された画像を圧縮するための画像圧縮工程、前記画像圧縮工程から出力された画像を記録媒体に記録するための画像記録工程、記録媒体に記録された圧縮画像を読み出すための画像再生工程、読み出した画像を伸長するための画像伸長

工程、前記画像伸長工程から出力された画像を合成するための第2の画像合成工程、画像合成工程より出力された画像を分割するための第3の画像分割工程、前記第3の画像分割工程から出力された画像と、前記画像処理工程から出力された画像とを、選択して所望の画素数に変換する画像変換工程、各画像変換工程からの画像を合成し表示装置に出力するための表示処理工程を備えることを特徴とする画像処理方法。

【0143】10. 前記撮像素子として16:9のアスペクトの撮像素子を用いると共に、前記画像分割工程は縦方向短冊状に8n (nは整数) 分割することを特徴とする付記1から9の何れか1つに記載の画像処理方法。

11. 前記画像分割工程は、周辺及び隣接領域に対して、オーバーラップ部を設けて画像分割することを特徴とする付記1から9の何れか1つに記載の画像処理方法。

【0144】12. 前記オーバーラップ量は、隣接画素の画像処理に必要な画素数を単位とすることを特徴とする付記1から9の何れか1つに記載の画像処理方法。

13. 前記表示処理工程は、全体画像から縮小画像を生成し、表示装置に出力することを特徴とする付記6を除く付記3から9のいずれか1つに記載の画像処理方法。

【0145】14. 前記表示処理工程は、全体画像から一部分を切出した部分画像を生成し、表示装置に出力することを特徴とする付記6を除く付記3から9のいずれか1つに記載の画像処理方法。

15. 前記表示処理工程は、全体画像からの縮小画像と、全体画像から一部分を切出した部分画像とを、切替可能とすることを特徴とする付記6を除く付記3から9のいずれか1つに記載の画像処理方法。

【0146】16. 前記表示処理工程は、レンズズーム倍率を変化させた場合は、全体画像からの縮小画像へ自動的に切替可能とすることを特徴とする付記3、5、7、9のいずれか1つに記載の画像処理方法。

17. 前記表示処理工程は、部分画像を表示装置に出力している時に、レンズズーム倍率を変化させた場合は、部分切り出し位置を中心位置に設定することを特徴とする付記3、5、7、9のいずれか1つに記載の画像処理方法。

【0147】18. 前記表示処理工程は、全体画像からの縮小画像と、全体画像から一部分を切出した部分画像とを切替可能な方法において、輪郭強調度を切替可能とすることを特徴とする付記6を除く付記3から9のいずれか1つに記載の画像処理方法。

19. 複数の撮像素子を用いて画像を得る画像処理方法において、各撮像素子毎に設けられる撮像信号処理工程、前記撮像信号処理工程から出力される信号の読み出し順序を変換する画像配列変換工程、画像を領域毎に分割する画像分割工程、分割された画像が各々入力される画像処理工程、前記画像処理工程から出力された画像を

合成するための画像合成工程、画像合成工程より出力された画像を映像信号規格に準拠した画像として出力する画像分配工程、を備えることを特徴とする画像処理方法。

【0148】20. 前記撮像信号処理工程は、シェーディング補正工程を有することを特徴とする請求1から9及び19のいずれか1つに記載の画像処理方法。

21. 前記表示処理工程は、部分画像を表示装置に出力している時に、レンズズーム倍率を変化させた場合は、部分切り出し位置を徐々に中心位置に移動することを特徴とする付記3、5、7、9のいずれか1つに記載の画像処理方法。

【0149】

【発明の効果】以上説明したように本発明によれば、請求項1の構成のように画像処理装置に並列撮像信号処理手段、画像配列変換手段、画像分割手段、並列画像処理・圧縮処理手段を設けることにより、高精細画像を動画レートで処理することができる。請求項2の構成のように画像処理装置に並列撮像信号処理手段、画像配列変換手段、画像分割手段、並列画像処理・圧縮・記録手段及び、記録媒体を設けることにより、高精細画像を動画レートで記録することができる。

【0150】請求項3の構成のように画像処理装置に画像縮小手段と、表示処理手段を設けることにより、高精細画像を通常の表示装置で表示可能になり、撮影状況を容易に確認することができ、使い勝手が向上する。請求項4の構成のように画像処理装置自体に分割記録画像を再構築する機能を設けることにより、記録した画像を容易に確認することができ、使い勝手が向上する。

【0151】請求項5の構成のように画像処理装置自体に、撮影画像と記録画像を選択して表示することにより、撮影画像と記録した画像を容易に確認することができ、使い勝手が向上する。請求項6、請求項7、請求項8、請求項9の構成のように撮像部と記録部を分離することで、撮像部の小型化が図れると共に、記録媒体の増設及び変更が容易になる。

【0152】請求項10の構成のように16:9から4:3へのアスペクト比の画像変換が容易にできる。また、変換に使用しない領域の回路動作を停止させることで、低消費電力化が可能となる。

【0153】請求項11の構成のように画像補間処理等をして周辺及び隣接画素での画質が低下せず、高画質な画像を得ることができる。請求項12の構成のように最適なオーバーラップ画素数により、回路規模の削減ができる。

【0154】請求項13の構成のように撮影範囲の把握が容易になり使い勝手が向上する。請求項14の構成のように焦点位置調整が容易になり使い勝手が向上する。

【0155】請求項15の構成のように使用者の所望する表示画像の切替ができ、使い勝手が向上する。請求項

16の構成のようにわざわざ切換なくとも撮影範囲jを把握でき、使い勝手が向上する。

【0156】請求項17、21の構成のように部分きり出し画像のままで撮影範囲の中心位置を把握でき、使い勝手が向上。さらに、徐々に中心に向かうことで、違和感を少なくできる。請求項18の構成のように間引き表示、部分表示で各々適切な輪郭強調をかけることにより、適正な画質にできる。

【0157】請求項19の構成のように撮像部と記録部間の伝送形態を映像信号規格にすることで、撮影画像を容易に表示装置に表示でき、システムの拡張性が図れる。請求項20の構成のようにそれぞれの撮像信号処理手段でシェーディング補正を行うことで、補正係数を同一にすることができ、回路構成が簡略化できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の画像処理装置の全体構成図。

【図2】撮像部における色分解プリズム及び4つの撮像素子部分の構成を示す図。

【図3】4つの撮像素子の結像位置での配置状態等の説明図。

【図4】画像配列変換回路及び画像分割回路の機能の模式的な説明図。

【図5】画像配列変換回路及び画像分割回路の構成を示すブロック図。

【図6】画像分割回路を構成するFIFOメモリへの書き込み及び読み出しのタイミング図。

【図7】メモリ読み出しの詳細図。

【図8】画像処理回路による作用説明図。

【図9】本発明の第2の実施の形態の画像処理装置の構成を示すブロック図。

【図10】表示処理回路の詳細な構成を示すブロック図。

【図11】高精細画像から間引きを行い間引き画像の表示の機能の説明図。

【図12】図11の動作説明図。

【図13】部分画像表示の機能の説明図。

【図14】図13の動作説明図。

【図15】切換スイッチの操作により、間引き画像と部分画像とを切り換えて表示する作用を示すフローチャート図。

【図16】ズーム倍率を変化させる操作を行った場合に間引き画像を表示させる作用を示すフローチャート図。

【図17】部分画像を表示している時にズーム倍率を変化させた場合の作用を示すフローチャート図。

【図18】アスペクトが異なる表示手段にそれぞれ表示可能な画像を容易に出力できる説明図。

【図19】第1変形例の画像処理装置の構成を示すブロック図。

【図20】第2変形例の画像処理装置の構成を示すブ

ック図。

【図21】本発明の第3の実施の形態の画像処理装置の全体構成を示すブロック図。

【図22】画像合成回路の機能の説明図。

【図23】第1変形例の画像処理装置の構成を示すブロック図。

【図24】第2変形例の画像処理装置の構成を示すブロック図。

【図25】本発明の第4の実施の形態における画像分割をオーバーラップして分割する様子の説明図。

【図26】画像分割回路を構成するFIFOメモリへの書き込み動作の説明図。

【図27】分割画像領域における端付近の画素に対してオーバーラップ部分の画素を画像処理に利用する様子の説明図。

【図28】本発明の第5の実施の形態の画像処理装置の全体構成を示すブロック図。

【図29】輪郭強調回路の構成を示すブロック図。

【図30】動作内容を示すフローチャート図。

【図31】本発明の第6の実施の形態の画像処理装置の全体構成を示すブロック図。

【図32】シェーディング補正回路による作用の説明図。

【図33】本発明の第7の実施の形態の画像処理装置の全体構成を示すブロック図。

【図34】画像分配回路の機能の説明図。

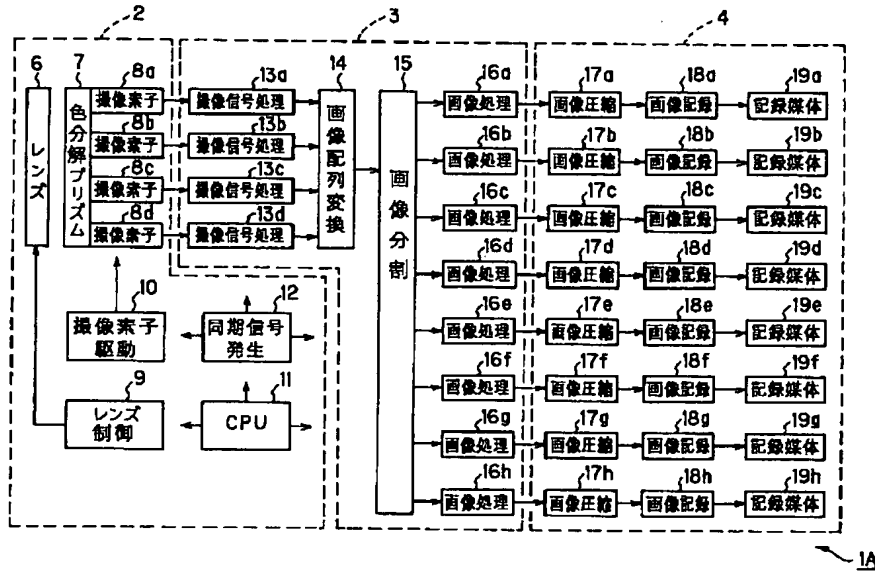
【図35】画像分配回路の他の機能の説明図。

【符号の説明】

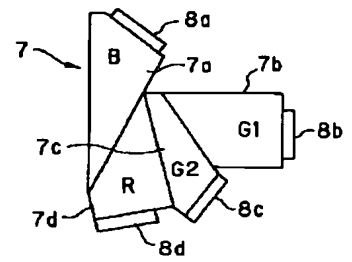
- 1A…画像処理装置
- 2…撮像部
- 3…信号処理部
- 4…記録部
- 5…表示部
- 6…レンズ
- 7…色分解プリズム
- 8a～8d…撮像素子
- 9…レンズ制御回路
- 10…撮像素子駆動回路
- 11…CPU
- 12…同期信号発生回路
- 13a～13d…撮像信号処理回路
- 14…画像配列変換回路
- 15…画像分割回路
- 16a～16h…画像処理回路
- 17a～17h…画像圧縮回路
- 18a～18h…画像記録回路
- 19a～19h…記録媒体
- 22…FIFOメモリ
- 23～25…セクタ
- 26…メモリコントロール部

代理人 弁理士 伊藤 進

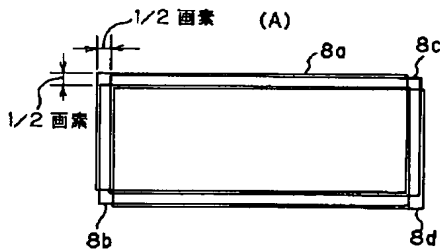
【図1】



【図2】



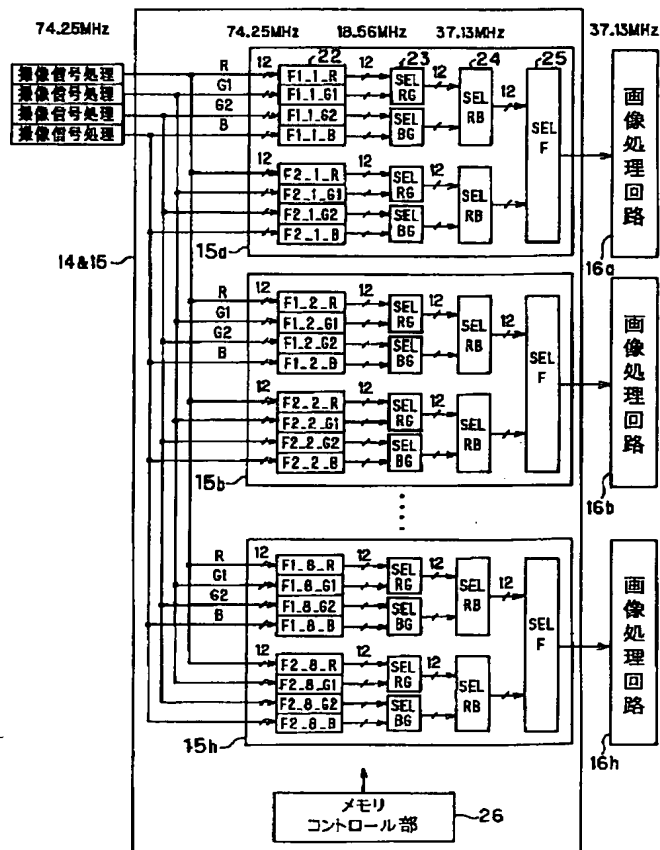
【図3】



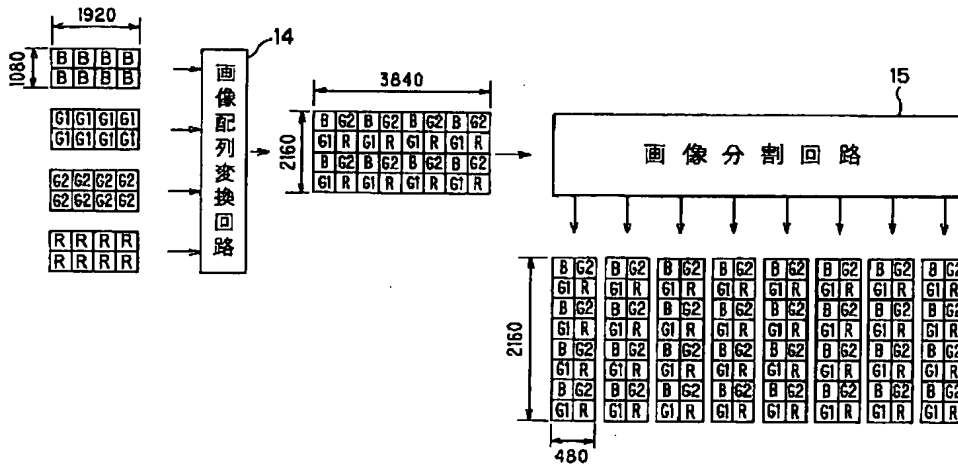
(B)

a	c	a	c
b	d	b	d
a	c	a	c
b	d	b	d

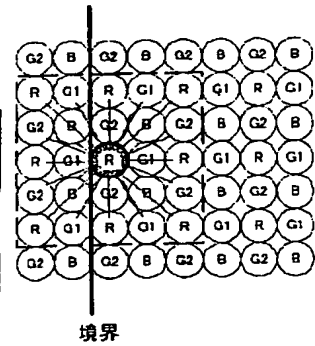
【図5】



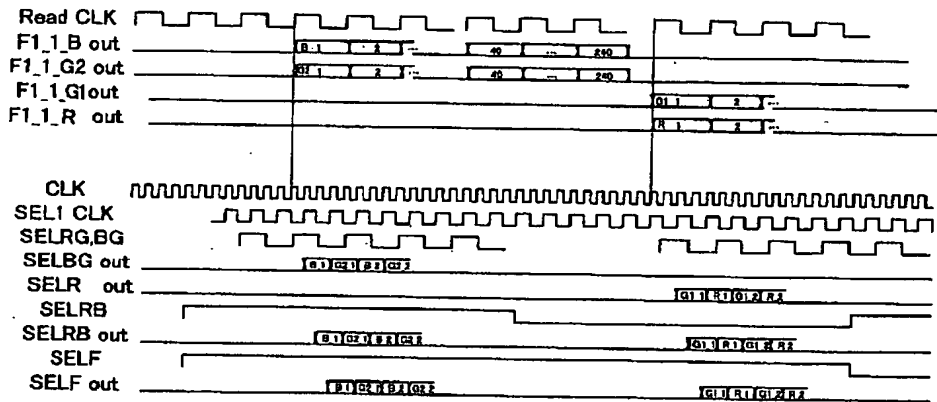
【図4】



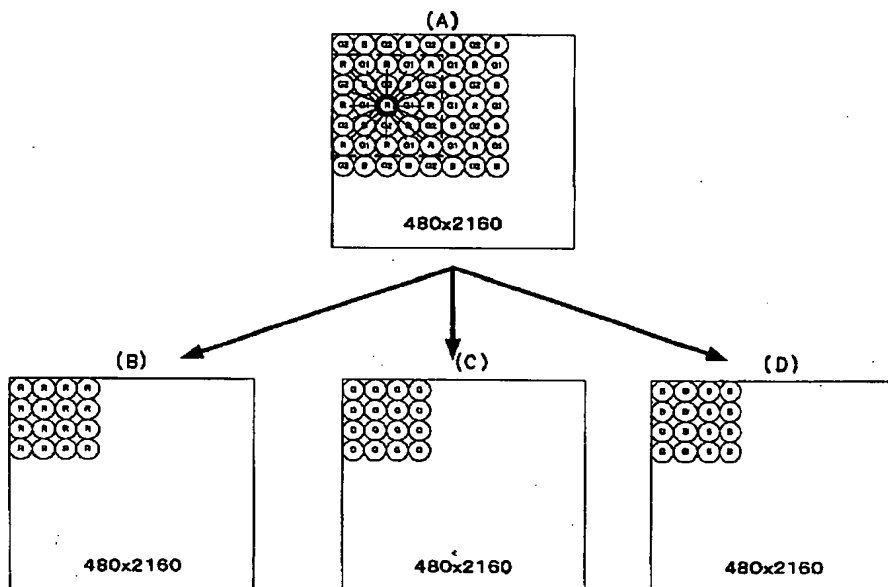
【図27】



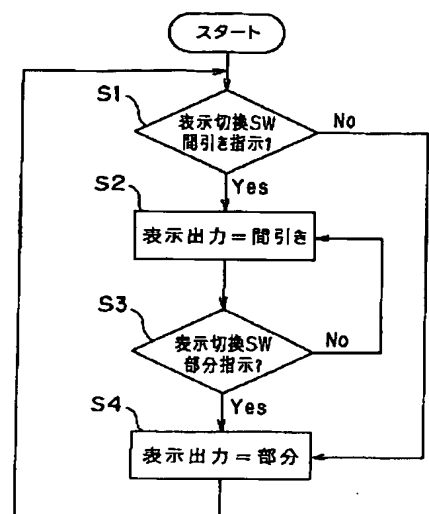
【図7】



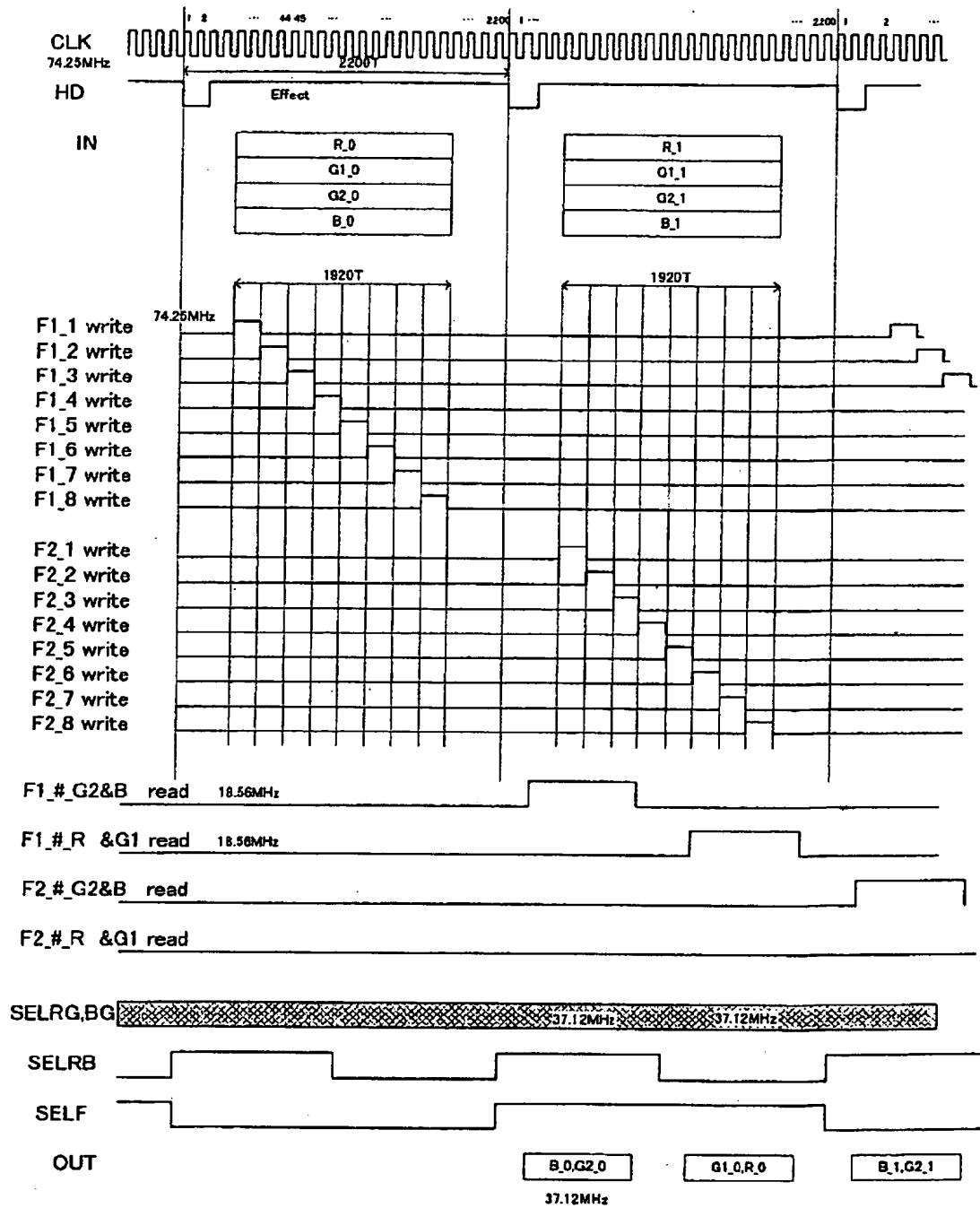
【図8】



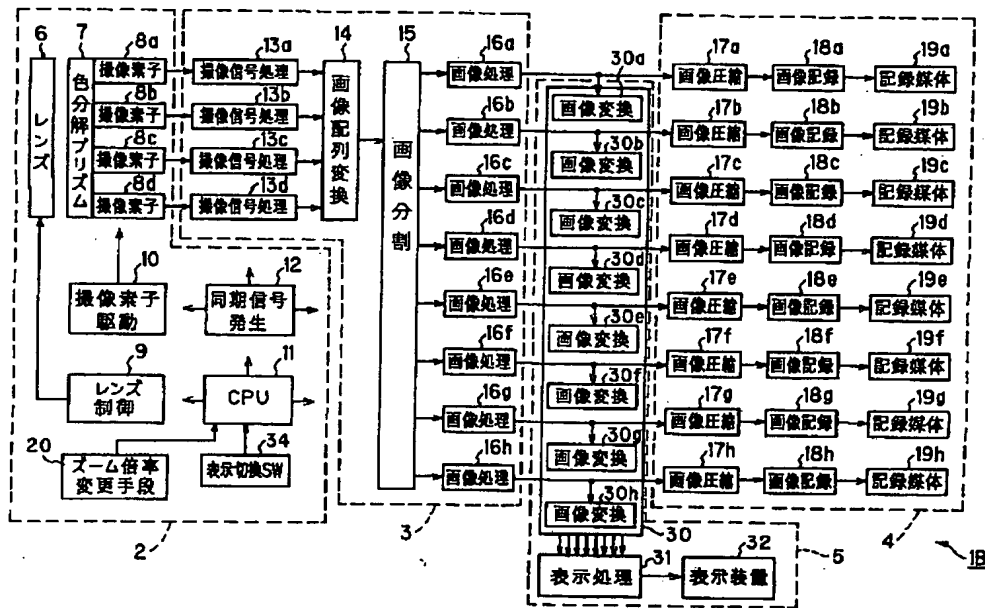
【図15】



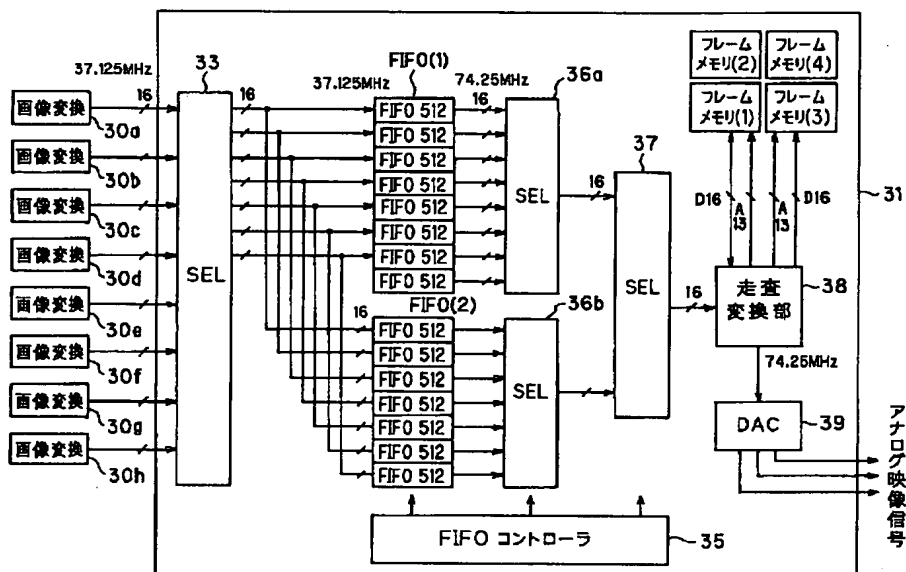
【図6】



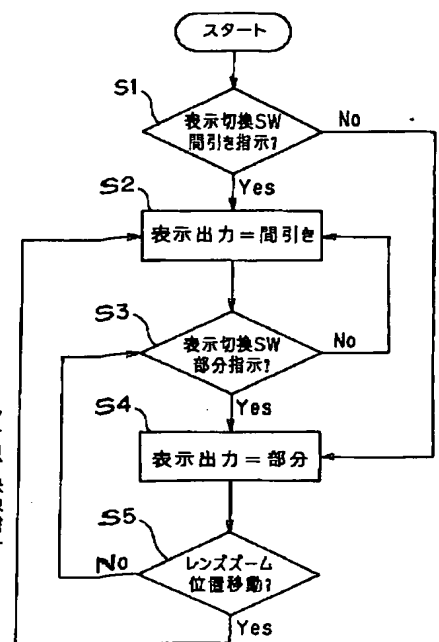
【図 9】



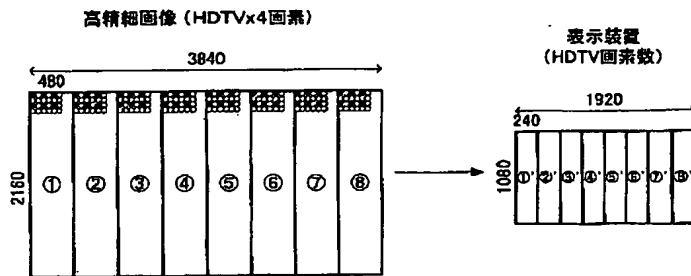
【図 10】



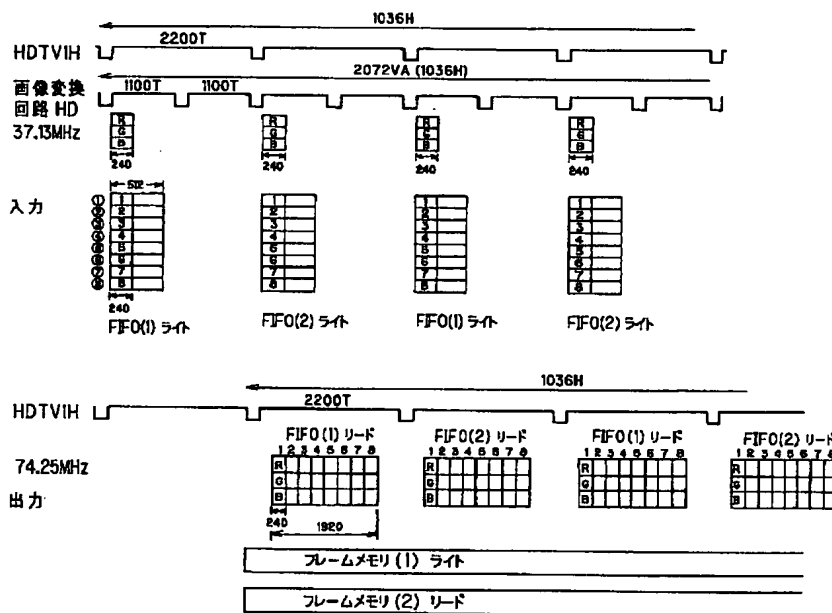
【図 16】



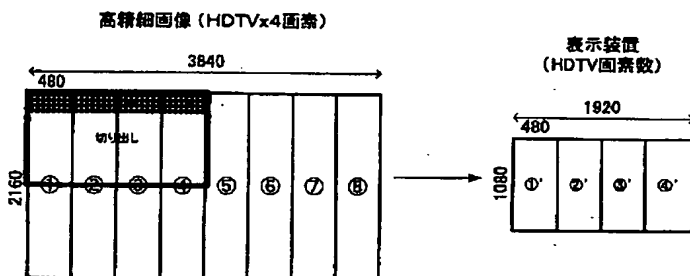
【図11】



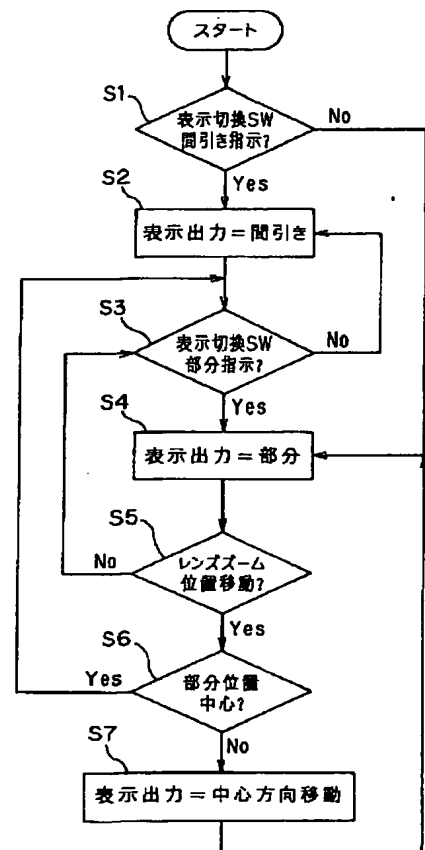
【図12】



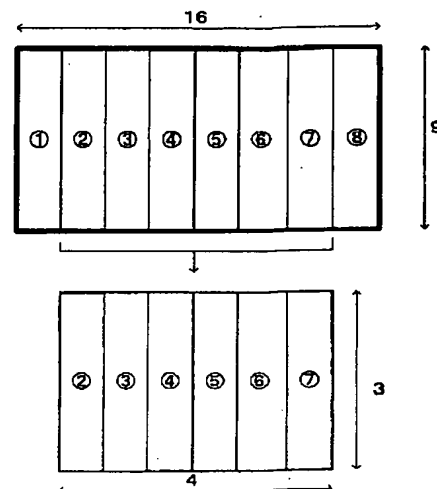
【図13】



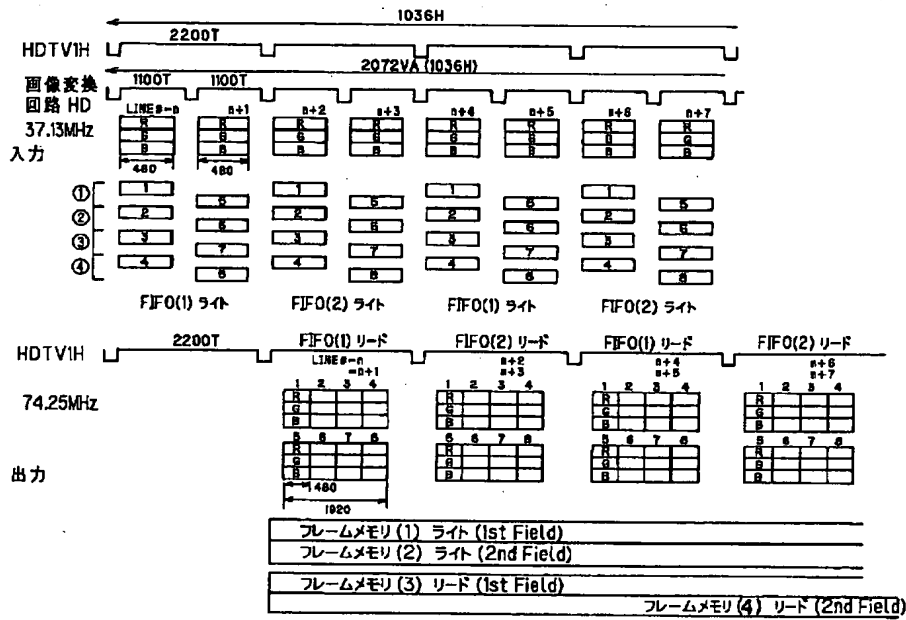
【図17】



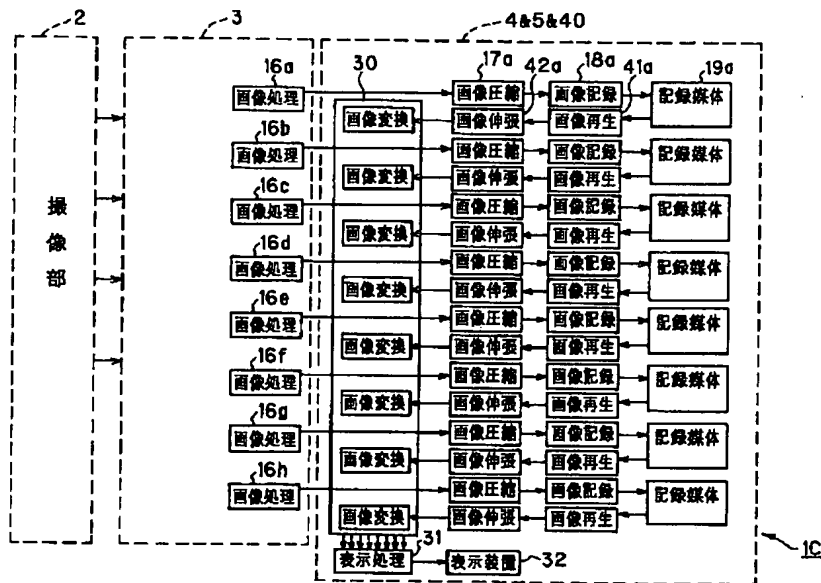
【図18】



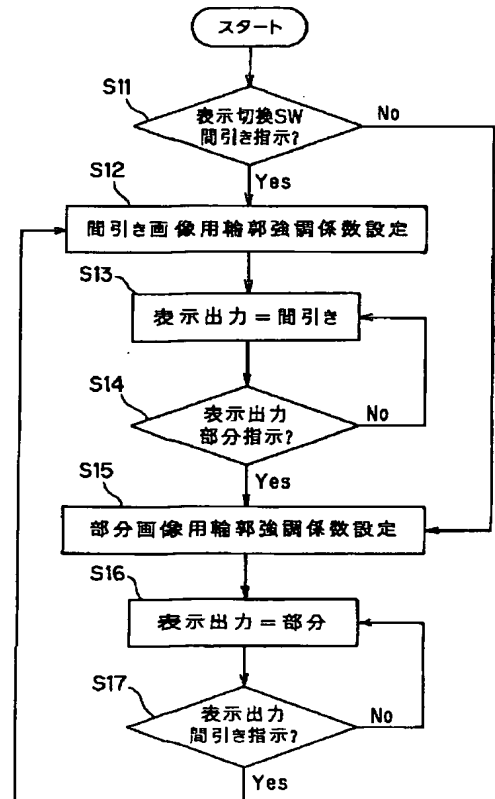
【図14】



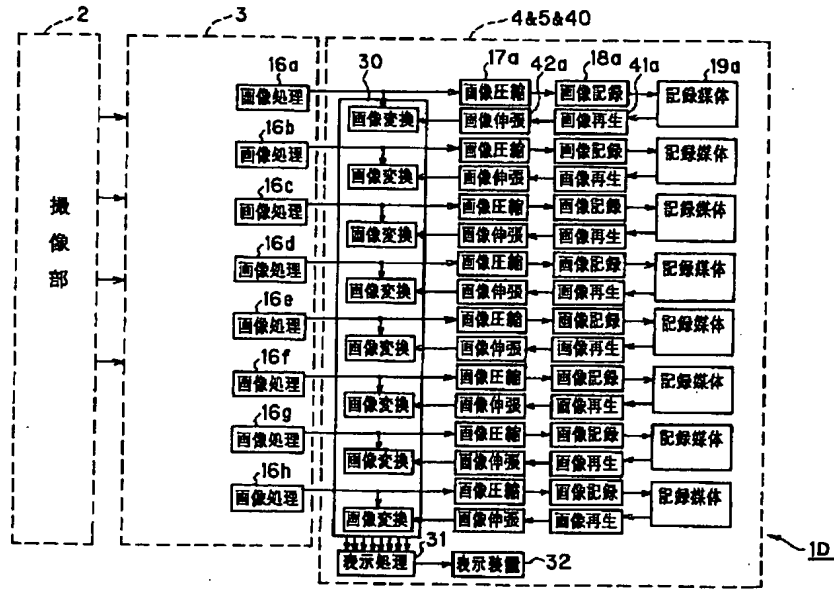
【図19】



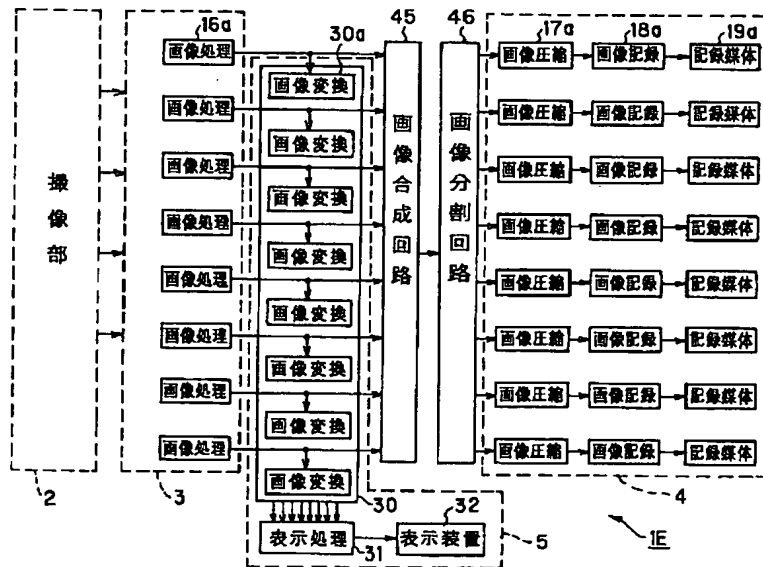
【図30】



【図20】



【図21】



The diagram illustrates a parallel processing architecture. At the top, a large image is divided into eight vertical strips, each labeled '480 x 2160'. These strips are then processed by three parallel units, each receiving a subset of the strips. Each unit is represented by a large rectangle labeled '3840x2160' at the bottom, with a small grid of circles in the top-left corner, indicating the input data being processed.

Figure 1 is a block diagram of a video recording system. The system is organized into several main functional blocks:

- Input Section (2):** A dashed box on the left containing four parallel input channels, each labeled "摄像信号处理" (Video Signal Processing).
- Processing and Conversion (13a, 14, 15, 16a):**
 - Block 13a: Four parallel "摄像信号处理" (Video Signal Processing) blocks.
 - Block 14: "图像配列变换" (Image Arrangement Transformation).
 - Block 15: "图像分割" (Image Division).
 - Block 16a: A vertical stack of eight "图像处理" (Image Processing) blocks.
- Image Synthesis and Division (45, 46, 48, 47):**
 - Block 45: "图像合成" (Image Synthesis).
 - Block 46: "图像分割" (Image Division).
 - Block 48: "图像分割" (Image Division).
 - Block 47: "图像合成" (Image Synthesis).
- Recording and Reproduction (17a, 18a, 19a, 42a, 41a):**
 - Block 17a: A vertical stack of eight "图像压缩" (Image Compression) blocks.
 - Block 18a: A vertical stack of eight "图像记录" (Image Recording) blocks.
 - Block 19a: A vertical stack of eight "记录媒体" (Recording Medium) blocks.
 - Block 42a: A vertical stack of eight "图像伸展" (Image Expansion) blocks.
 - Block 41a: A vertical stack of eight "图像再生" (Image Reproduction) blocks.
- Control and Output (5, 31, 32):**
 - Block 5: "表示装置" (Display Device).
 - Block 31: "表示处理" (Display Processing).
 - Block 32: "表示装置" (Display Device).

The diagram illustrates the flow of video data from input through various processing stages (compression, recording, expansion, reproduction) to the final output and storage.

[illegible]

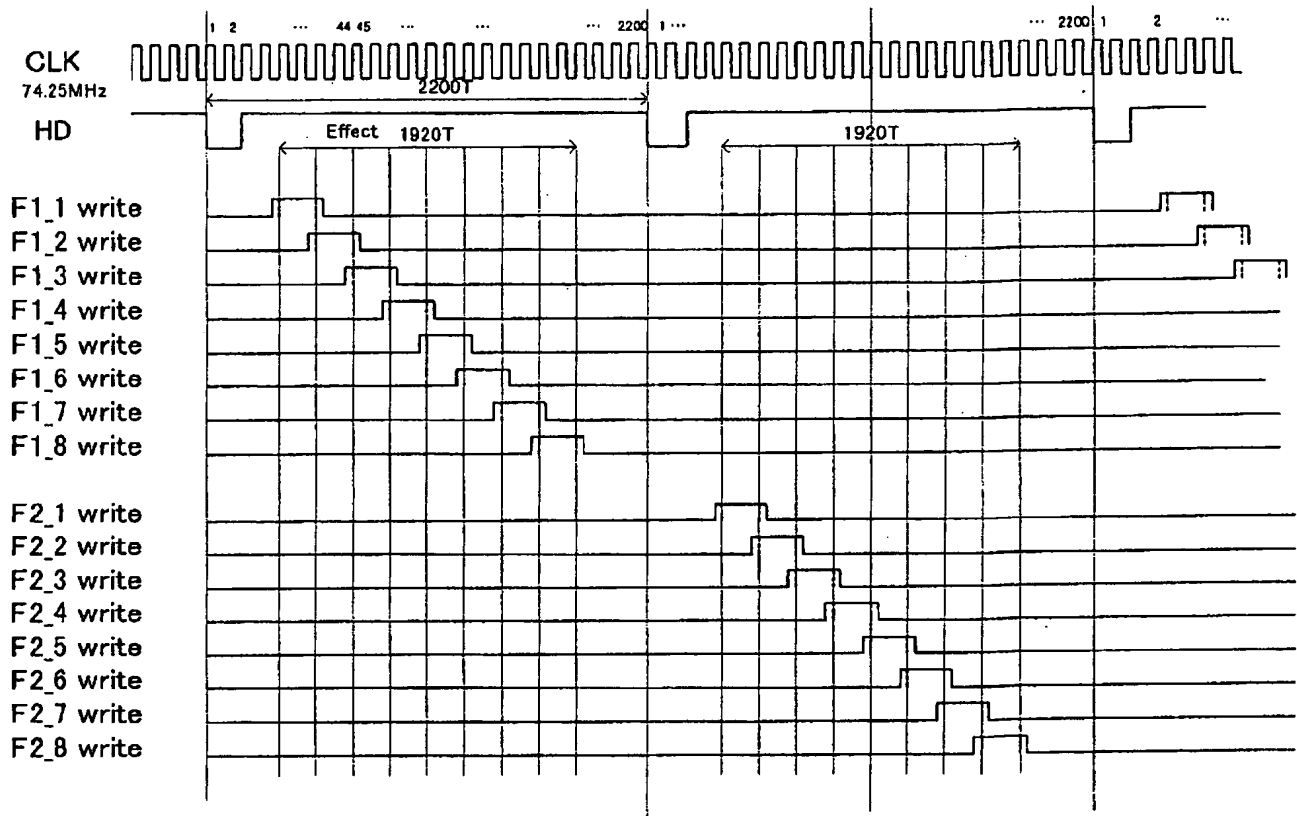
```

graph LR
    Input[輪郭強調入力] --> Delay[52 遅延調整]
    Input --> HPF[53 HPF]
    HPF --> Multiplier[54 ×]
    CPU[55 CPU] -- ゲイン係数 --> Multiplier
    Multiplier --> Summing[58 +]
    Delay --> Summing
    Summing --> Output[輪郭強調出力]
    Multiplier --> CouplingLevel[56 コアリングレベル]
    CPU -- コアリング係数 --> CouplingLevel
    CouplingLevel --> AmpControl[57 振幅制御]
    CPU -- 振幅制御係数 --> AmpControl
    AmpControl --> Summing
    subgraph 51 [ ]
        HPF
        Multiplier
        CouplingLevel
        AmpControl
        Summing
    end

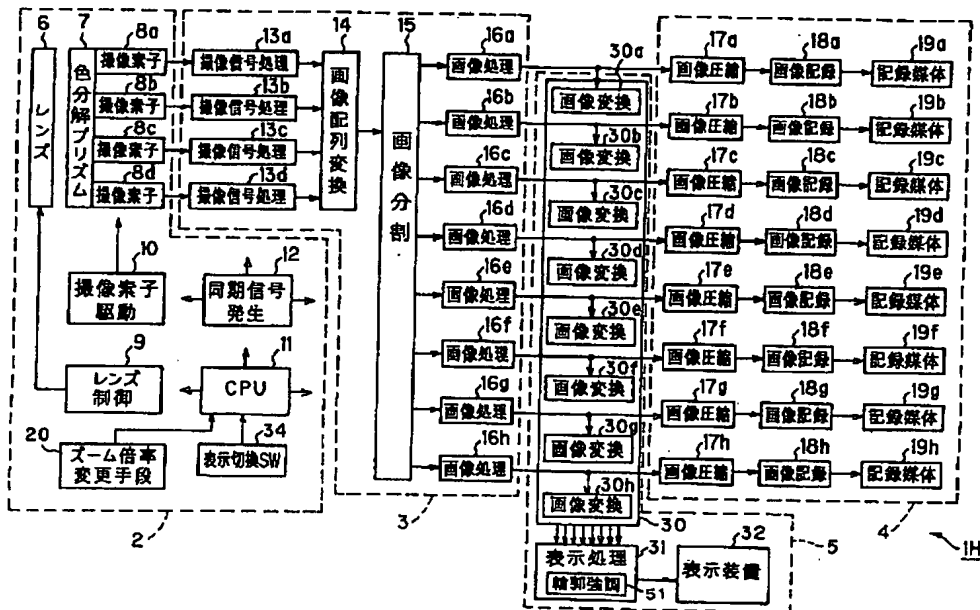
```

【図26】

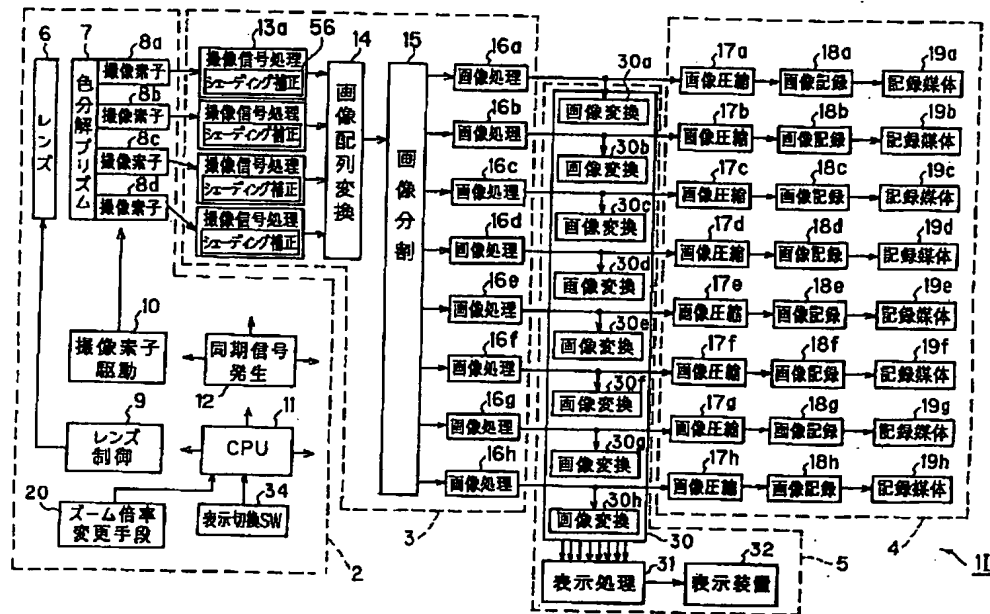
オーバーラップの説明



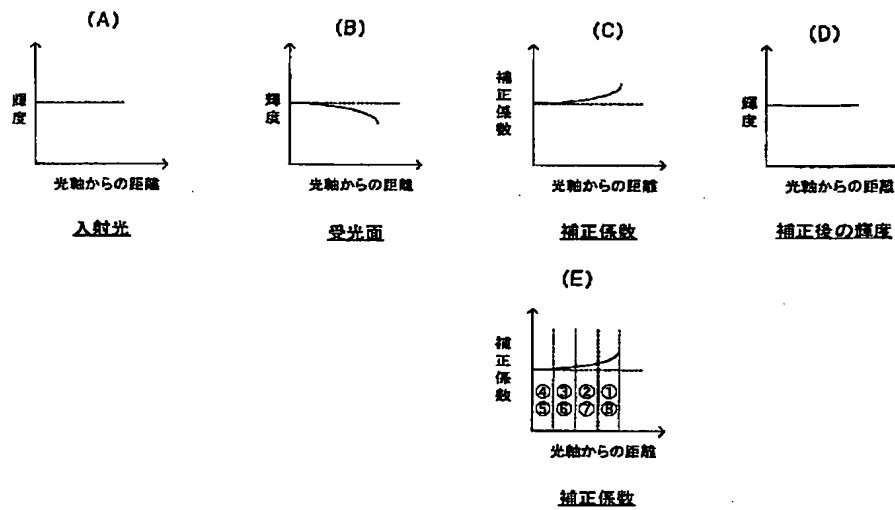
【図28】



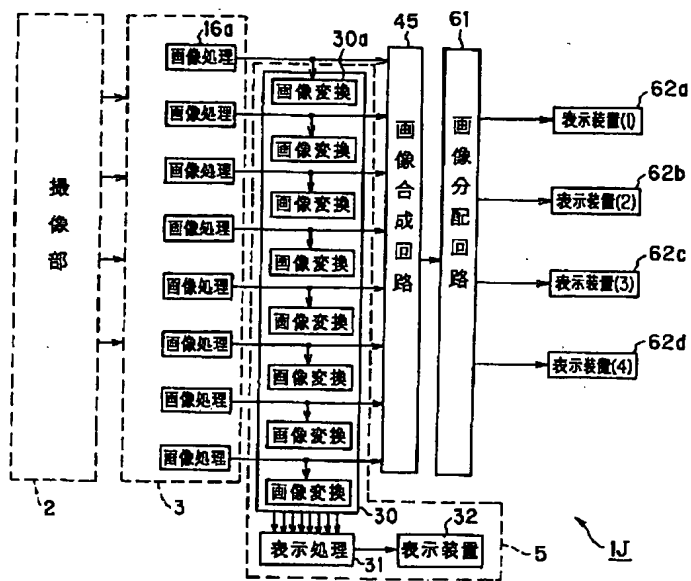
【図31】



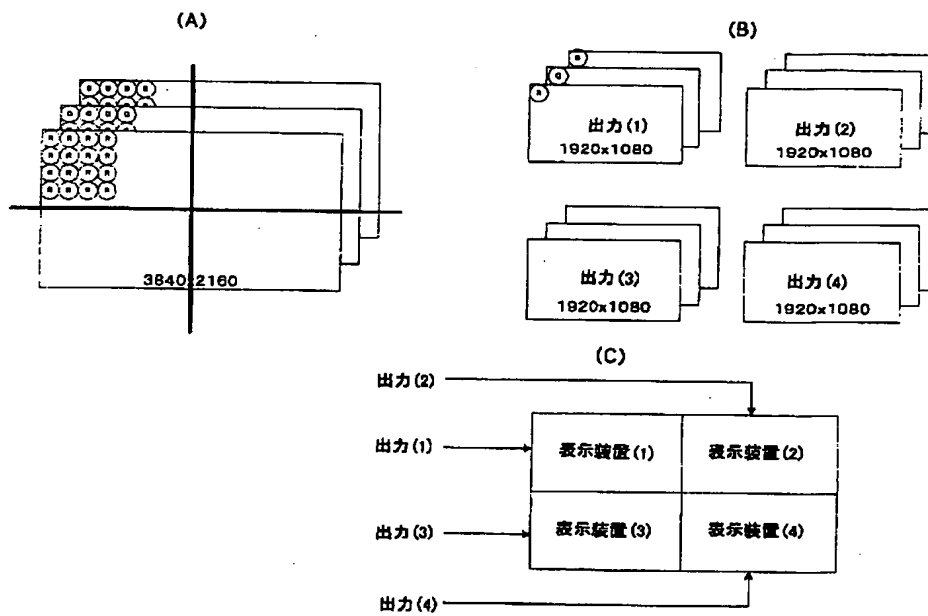
【図32】



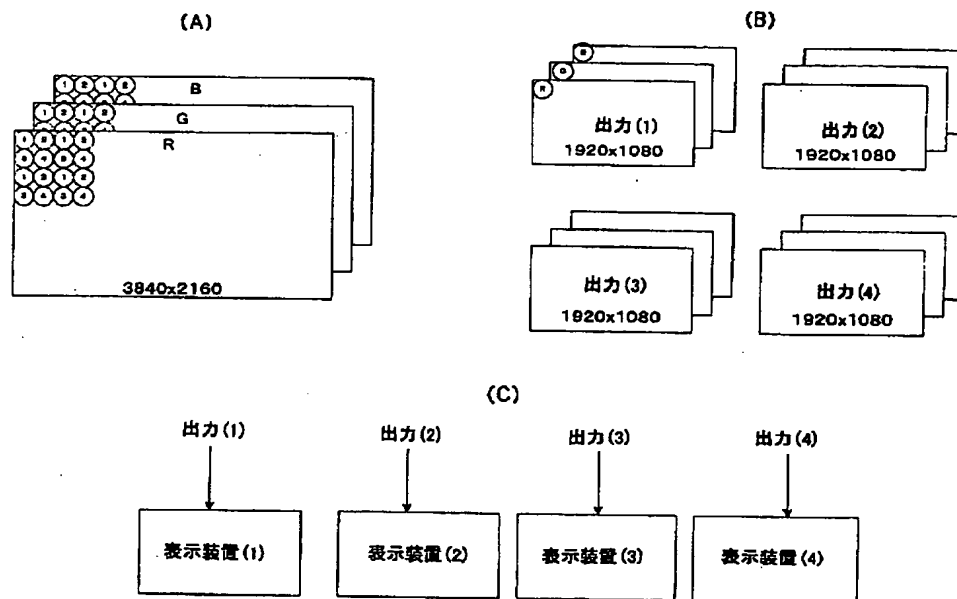
【図 3 3】



【図 3 4】



【図35】



フロントページの続き

(72)発明者 中島 慎一
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 柴崎 浩樹
東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

Fターム(参考) 5C022 AB61 AB64 AB68 AC69
5C053 FA17 GB07 GB36 GB37 KA03
KA19 KA25 LA01 LA02
5C065 AA01 BB38 CC01 CC07 CC09
DD01 DD19 EE01 EE03 GG18
GG30 GG49